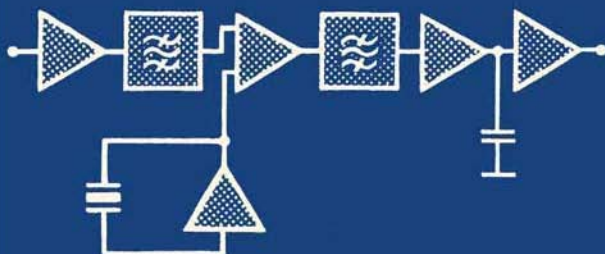




А. Г. АЛЕКСЕНКО

# СОВРЕМЕННАЯ МИКРОСХЕМОТЕХНИКА



МАССОВАЯ  
РАДИО  
БИБЛИОТЕКА

*Выпуск 994*

А. Г. АЛЕКСЕНКО

СОВРЕМЕННАЯ  
МИКРОСХЕМОТЕХНИКА



Scan AAW



МОСКВА · «ЭНЕРГИЯ» · 1979

**ББК 32.844**

**A47**

**УДК 621.3.049.77**

Редакционная коллегия:

Берг А. И., Борисов В. Г., Белкин Б. Г., Ванеев В. И.,  
Геништа Е. Н., Гороховский А. В., Демьянов И. А., Ельяшке-  
вич С. А., Жеребцов И. П., Корольков В. Г., Смирнов А. Д.,  
Тарасов Ф. И., Чистяков Н. И.

**Алексенко А. Г.**

**A47** Современная микросхемотехника. — М.: Энергия,  
1979. — 112 с., ил. — (Массовая радиобиблиотека;  
Вып. 994).

50 к.

В книге в доступной форме излагаются основы микроэлектроники и микросхемотехники — фундамента современных методов построения электронных систем.

Книга предназначена подготовленным радиолюбителям, знакомым с основами электроники. Она поможет им приобрести начальные навыки схематического проектирования и применения интегральных микросхем.

**A** 30404-221 237-79. 2402020000  
**051(01)-79**

**ББК 32.844**

**6Ф2.1**

*АНДРЕЙ ГЕННАДЬЕВИЧ АЛЕКСЕНКО*

**Современная микросхемотехника**

Редактор *И. И. Шагурин*

Редактор издательства *Г. Н. Астафуров*

Обложка художника *Т. Н. Хромовой*

Технический редактор *Н. П. Собакина*

Корректор *И. А. Володяева*

ИБ № 1017

Сдано в набор 26.10.78. Подписано к печати 22.12.78 Т-23052  
Формат 84×108<sup>1/32</sup> Бумага типографская № 3 Гарн. шрифта литературная  
Печать высокая Усл. печ. л. 5,88 Уч.-изд. л. 6,55  
Тираж 40 000 экз. Заказ 882 Цена 50 к.

Издательство «Энергия», 113114, Москва, М-114, Шлюзовая наб., 10  
Московская типография № 10 Союзполиграфпрома при Государствен-  
ном комитете СССР по делам издательств, полиграфии и книжной  
торговли. 113114, Москва, М-114, Шлюзовая наб., 10

© Издательство «Энергия», 1979.

## ПРЕДИСЛОВИЕ

Необходимость популяризации основных принципов современной микросхемотехники обусловлена массовым внедрением в аппаратуру интегральных микросхем (ИС). Интегральные микросхемы и иные средства микроэлектроники используют сейчас все более широкие круги инженеров, техников и рабочих, расширяется система их производственного обучения и профессиональной переподготовки. К электронике привлекаются специалисты отраслей народного хозяйства, занятые в сферах автоматизации производства, управления, транспорта, обслуживания, торговли, информационных служб и т. д. Современному радиолюбителю становятся доступными такие ИС, как, например, триггеры, операционные усилители, оптроны и др.

Для правильного применения ИС необходимо пользоваться достаточно обширной, иногда сложной технической документацией, содержащей структуры различных электронных устройств, разработанных на базе ИС. Микросхемотехника объясняет происхождение схемотехнических решений, используемых в современных ИС и микроэлектронной аппаратуре (МЭА), а также позволяет проектировщику самостоятельно разрабатывать новые типы ИС и устройства на их основе.

Настоящая книга знакомит массового читателя с основными понятиями и методами микросхемотехники и облегчит ему пользование литературой и публикациями по широкому кругу проблем разработки ИС и МЭА.

Автору представлялось важным не только обрисовать специфику и общие контуры микросхемотехники, но и познакомить читателя с «технологией» проектирования ряда типовых структур ИС и устройств на их основе. Но главная цель этой книги — побудить читателя к дальнейшему, более углубленному изучению микросхемотехники, к творческой работе в этой области. С этой целью автор пытался подготовить читателя к восприятию сведений, которые нельзя освоить путем беглого просматривания литературы. Эти относительно трудные места книги следует изучать с карандашом в руках, в сознании, что затраченный труд будет справедливой и далеко не чрезмерной платой за возможность (и удовольствие!)

более глубоко заглянуть в мир микроэлектроники, воспользоваться ее достижениями.

Пользуясь случаем поблагодарить доктора техн. наук проф. В. Н. Сретенского, рецензента канд. техн. наук М. А. Бедрекковского и редактора канд. техн. наук доцента И. И. Шагурина за внимательное ознакомление с рукописью и полезные рекомендации, способствовавшие ее улучшению.

Отзывы и замечания читателей следует направлять по адресу: 113114, Москва, М-114, Шлюзовая наб, 10, издательство «Энергия», редакция Массовой радиобиблиотеки.

*Автор*

## ЧТО ТАКОЕ МИКРОСХЕМОТЕХНИКА?

Среди основных движущих сил научно-технической революции, радикально изменяющей во второй половине XX в. облик производительных сил общества, важнейшее место принадлежит *электронике*. С внедрением средств электроники во все отрасли народного хозяйства повышается эффективность производства и управления. Создание на базе электроники современных больших систем позволяет решать задачи, которые раньше казались фантастическими. К числу таких задач можно отнести создание систем глобальной связи и навигации, автоматизированного управления средствами производства, транспорта, массового обслуживания, наконец, задачи космонавтики и планетных исследований.

*Микроэлектроника* является областью электроники, охватывающей проблемы исследования, конструирования, изготовления и применения интегральных микросхем и других микроэлектронных изделий.

*Интегральная микросхема (интегральная схема — ИС)* — это микроэлектронное изделие, выполняющее определенную функцию преобразования и обработки сигнала и имеющее высокую плотность упаковки электрически соединенных элементов или кристаллов.

*Микросхемотехнику* определим как область науки и техники (раздел микроэлектроники), охватывающую исследование и проектирование структурных и принципиальных схем ИС (в том числе больших ИС—БИС\*), а также схемоструктурные вопросы применения ИС как элементной базы современной микроэлектронной аппаратуры (МЭА). В круг задач микросхемотехники входят разработка методов логического и электрического анализа ИС и МЭА, логическое (структурное) и схемотехническое проектирование и обеспечение надежности ИС.

Вследствие многообразия решаемых задач характерным для микросхемотехники является *комплексный, системный подход к разработке ИС и их применению в микроэлектронной аппаратуре*.

*Практический аспект* системного подхода состоит в реализации микроэлектронных систем, которые выполняют все более сложные и многообразные функции с требуемой безотказностью при уменьшении массы, габаритов, энергопотребления, трудоемкости проектирования, изготовления и обслуживания аппаратуры.

*Научный аспект* микросхемотехники связан с комплексным использованием — *интеграцией достижений смежных областей*: кибернетики, теории автоматов, прикладной математики, теории цепей, физики, химии твердого тела — для выявления новых возможностей микроэлектронных устройств и систем, вытекающих из группового

---

\* *Большие интегральные схемы (БИС)* — микросхемы, выполняющие сложные функции цифровой или аналоговой обработки информации, эквивалентные по сложности тысячам или десяткам тысяч электронных элементов (транзисторов, диодов, резисторов и т. д.).

характера производства ИС, значительного расширения их функций, автоматизации проектирования МЭА все возрастающей сложности.

Таким образом, микросхемотехника как раздел науки и техники, основанный на интеграции знаний, является научно-технической основой для создания современных средств электроники, развития методов проектирования и оптимизации МЭА [1—15].

## УСЛОЖНЕНИЕ ФУНКЦИЙ — Понижение надежности?

Усложнение функций, выполняемых электронными системами, диктуется объективно возникающими потребностями общества в решении новых технических задач. Безграничность этих потребностей уже давно привела бы к созданию сверхсложных систем, если бы не совместное противодействие экономических и эксплуатационных факторов и проблемы надежности.

Известный механизм этого противодействия — чем сложнее аппаратура, тем она ненадежнее и дороже — приводит к практической нецелесообразности создания слишком громоздких, а потому нежизнеспособных систем («динозавров»). К счастью, граница разрыва между требуемым и возможным в сфере электроники за последние десятилетия передвинулась гораздо быстрее, чем в других областях техники, сделав реальностью многие «фантастические» идеи специалистов 40—50-х годов.

Иллюстрировать характер усложнения электронных систем можно примерами, взятыми из различных областей техники. Например, самолеты 40-х годов с их приборами для связи и навигации имели ламповую электронную аппаратуру (около двух тысяч деталей) массой около 30 кг. Самолеты 50—60-х годов с приборами автоматизации управления полетом оснащались в 100 раз более сложным электронным оборудованием, которое невозможно было выполнить на лампах не только из-за огромной массы и энергопотребления такой аппаратуры, но и из-за ее чрезвычайно низкой надежности. Применение транзисторов, затем ИС, позволило построить качественно новые системы и значительно повысить их надежность при существенном сокращении массы, габаритов и стоимости и значительном улучшении других технических показателей. На современных искусственных спутниках Земли и космических аппаратах требуется устанавливать в десятки раз более сложную МЭА, которая выполняется на ИС нового поколения.

Тенденция к усложнению функций, выполняемых одной ИС (что требует увеличения числа элементов<sup>1</sup>, интегрируемых на одном кристалле), вытекает из основных принципов микроэлектроники и порождается развитием МЭА. Однако различие между ИС 60-х годов и современными БИС далеко не исчерпывается их уровнем сложности или степенью интеграции элементов. Современные БИС — изделия, требующие принципиально нового подхода к построению (архитектуре) систем, к вопросам проектирования, изготовления и обеспечения их надежности и технико-экономических показателей. Уровень БИС предопределяет качественно новый этап развития техники больших систем еще и потому, что позволяет придать последним ряд не достижимых ранее свойств: «интеллектуальность», автономность, живучесть, портативность.

<sup>1</sup> Элемент ИС — часть ИС, реализующая функции какого-либо электро-радиоэлемента (транзистора, резистора, диода и т. п.), выполненная совместно с общим кристаллом или подложкой.

## ПЛАНАРНАЯ ТЕХНОЛОГИЯ И ЭЛЕМЕНТЫ ИС

Планарная (планарно-эпитаксиальная) технология является базой современного электронного производства. Ее сущность заключается в управлении свойствами твердого тела со стороны плоской поверхности<sup>1</sup> пластины, называемой *подложкой*. Подложку получают, разрезая слиток полупроводника (преимущественно кремния), имеющего монокристаллическую структуру, т. е. упорядоченное расположение атомов в узлах кристаллической решетки.

Рис. 1. Фотошаблон (слева) и увеличенное изображение его элемента (справа).

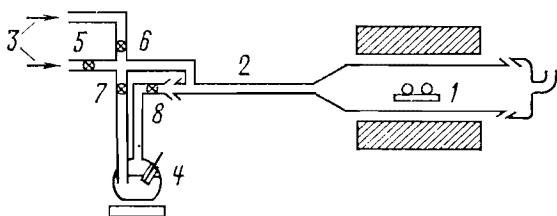
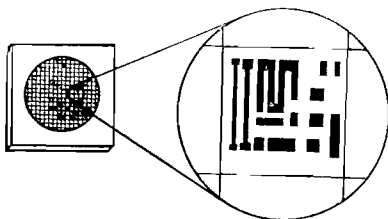


Рис. 2. Схематическое изображение установки для диффузии примесей.

Внутри диффузионной печи помещена кассета с кремниевыми пластинами 1. В трубу 2 подается инертный газ 3, смешиваемый с газом-диффузантом, получаемым испарением жидкости в сосуде 4. Дозировка газов регулируется вентилями 5—8.

Для локального изменения свойств полупроводника поверхность монокристаллической подложки защищается слоем окисла (*маской*), который затем покрывается фоточувствительным материалом — *фоторезистом*. После облучения и полимеризации растворимость фоторезиста в травителях (кислотах, щелочах) резко изменяется. Для нанесения рисунка на маску проводится локальное облучение и обработка фоторезиста. Затем проводится травление (удаление) участков окисла, не покрытых фоторезистом. В результате отдельные участки поверхности кристалла оказываются не защищенными окислом. Эта операция носит название *фотолитографии*.

Конфигурация участков поверхности маски (окисла), подлежащих удалению (страиванию), задается *фотошаблоном* (рис. 1), через который производится экспонирование (обычно в ультрафиолетовых лучах) микроизображения создаваемого рисунка на пластину. После удаления остатков фоторезиста пластины подвергаются термической обработке в *диффузионных печах* (рис. 2).

В зоне с точно установленной температурой (несколько ниже температуры плавления полупроводника) производится *диффузия* —

<sup>1</sup> Термин «планарный» (от английского слова plane) обозначает плоскостной.



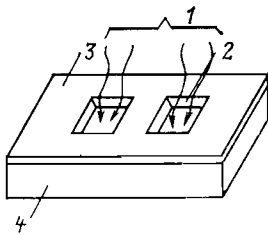


Рис. 3. Воздействие вещества — диффузанта 1 через окно 2 в слое SiO<sub>2</sub> — окисла 3 (вскрытое после предшествующего цикла фотолитографии); 4 — кристалл — подложка.

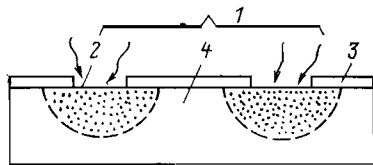


Рис. 4. Профиль диффузионной области (ограничена пунктиром) после окончания операции диффузии примеси в подложку 2; вещество — диффузанта 1 проникает в кремний 4 через окно 2 в слое 3 окисла — маски SiO<sub>2</sub>.

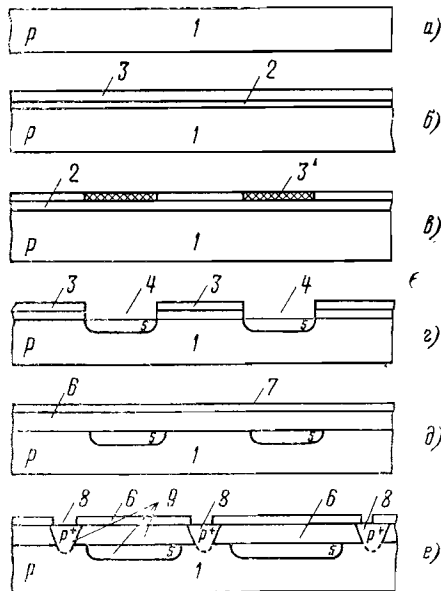


Рис. 5. Этапы формирования изолирующих электронно-дырочных переходов при планарно-эпитаксиальной технологии.

*a* — отполированная пластина монокристалла кремния *n*-типа (1); *б* — пластина защищена слоем SiO<sub>2</sub> (2) и покрыта слоем фоторезиста (3); *в* — экспонирование фоторезиста через фотомаску и полимеризация участков фоторезиста (3), не подлежащих травлению, *г* — травление слоя SiO<sub>2</sub> на участках (окнах), не защищенных полимеризованным фоторезистом (4) с последующим удалением остатков фоторезиста (3). Первая *n*<sup>+</sup>-диффузия примеси *n*-типа, создание областей *n*<sup>+</sup>-типа (5); *д* — удаление окисла с поверхности кристалла, эпитаксиальное наращивание слоя кремния *n*-типа (6) и последующее окисление (7); *е* — вторая фотолитография и вторая (разделительная) диффузия примеси *n*-типа в разделительной области (8). Образование изолирующих *p*-*n*-переходов (9) между отдельными областями *n*-*n*<sup>+</sup>-типа (5, 6).

внедрение атомов примеси в узлы кристаллической решетки. При этом диффузия происходит только на тех участках подложки, которая не защищена окислом. Примесь задается в виде атомов соответствующего вещества — диффузанта — в проходящем над кристаллом полупроводника потоке инертного газа, воздействующего определенное время (рис. 3). В результате такой обработки в монокристалле полупроводника формируются области проводимости *p*- и *n*-типов (рис. 4, 5), которые образуют физическую структуру элементов ИС (рис. 6). Для этого операции фотолито-

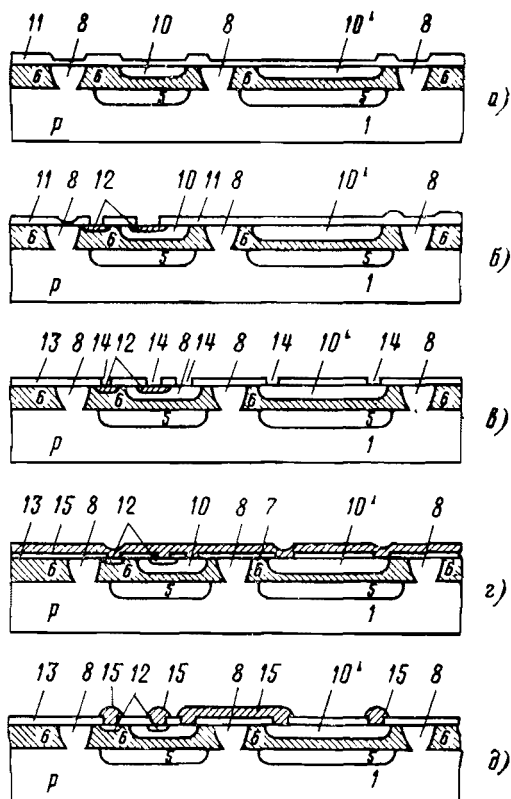


Рис. 6. Этапы формирования элементов биполярных ИС в изолированных *n-n+* областях полупроводника при планарно-эпитаксиальной технологии.

*a* — третья фотолитография, третья диффузия *p*-примеси для создания областей *p*-типа (10), последующее окисление (11); *б* — четвертая фотолитография, четвертая диффузия *n+*-примеси для создания областей *n+*-типа (12); *в* — окисление (13), пятая фотолитография для образования контактных окон (14); *г* — металлизация, нанесение металлического слоя (15) напылением в вакууме; *д* — шестая фотолитография для образования рисунка металлических соединений элементов ИС (15). Диффузионная область 10' (*p*-типа) выполняет в ИС функции резистора (диффузионный резистор). Остальные позиции соответствуют указанным на рис. 5.

графии и диффузии проводят последовательно несколько раз (обычно 3—4) (рис. 7), формируя нужную структуру.

Кроме диффузии для создания слоев полупроводника нужного типа проводимости используется *эпитаксия*<sup>1</sup> (рис. 5) — наращивание монокристаллической пленки на пластину монокристалла полупроводника (кремний) или диэлектрика (сапфир, шпинель и др.).

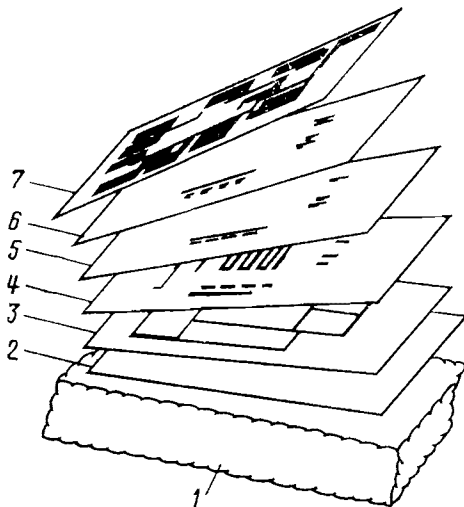


Рис. 7. Набор из шести фотошаблонов для осуществления цикла изготовления биполярных ИС.

1 — подложка (фрагмент исходной пластины монокристалла кремния *n*-типа); 2 — первый фотошаблон для формирования в окисле окон для создания скрытого *p+*-слоя; 3 — второй фотошаблон для формирования окон *p+*-разделительной диффузии; 4 — третий фотошаблон для формирования окон *p*-диффузии (базовой); 5 — четвертый фотошаблон для формирования окон эмиттерной диффузии; 6 — пятый фотошаблон для формирования контактов к элементам ИС; 7 — шестой фотошаблон для формирования рисунка металлических соединений элементов ИС.

Автоматизация операций фотолитографии и диффузии, повышение точности фотолитографической обработки и совмещения изображений, уменьшение геометрических размеров элементов — факторы, способствующие увеличению плотности размещения элементов и соответственно степени интеграции ИС и обеспечиванию снижения стоимости их производства.

Элементом современных биполярных ИС является электронно-дырочный переход, обеспечивающий одностороннюю проводимость тока (рис. 8) и используемый в качестве диода или *емкости*. Совместное действие двух таких переходов, разделенных тонким

<sup>1</sup> Слово «эпитаксия» образовано от греческих слов «эпи» (над, на) и «такси» (порядок, упорядоченное расположение).

слоем полупроводника (рис. 9), обеспечивает *транзисторный эффект*, используемый для усиления сигналов. Таким образом, в ИС реализуется основной активный (усилительный) элемент — *биполярный транзистор*. На рис. 10 и 11 показаны эквивалентная схема и включение биполярного транзистора при работе в усилительном режиме.

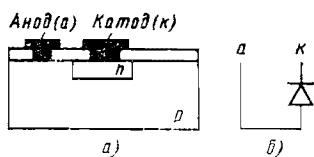


Рис. 8. Электронно-дырочный  $p$ - $n$  переход — элемент ИС.  
 $a$  — физическая структура;  $b$  — электрическая схема, моделирующая  $p$ - $n$  переход в виде диода.

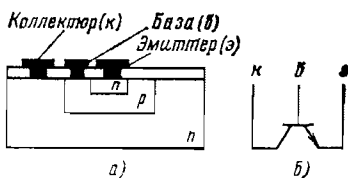
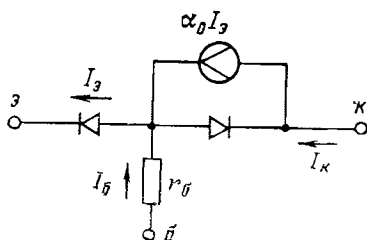


Рис. 9. Биполярный транзистор.  
 $a$  — физическая структура;  $b$  — электрическая схема-обозначение.

Таким образом, диоды, транзисторы и *диффузионные резисторы* (см. рис. 6) изготавливаются в едином технологическом цикле.

Помимо основного способа изоляции элементов ИС  $p$ - $n$  переходом (рис. 12,  $a$ ,  $b$ ), разработана и технология изоляции элементов ИС слоем окисла и других диэлектриков (рис. 12,  $в$ ,  $г$ ).

Рис. 10. Модель биполярного транзистора  $n$ - $p$ - $n$ -типа, работающего в усилительном режиме. Генератор тока  $\alpha_0 I_3$  отражает эффект передачи эмиттерного тока через базу в коллекторную цепь транзистора (см. рис. 11).



Одновременно с наиболее часто используемыми  $p$ - $n$ - $p$  транзисторами могут быть изготовлены *продольные  $p$ - $n$ - $p$  транзисторы* (рис. 13) и транзисторы с переходами (барьерами) Шоттки (рис. 14). Транзисторы с переходами Шоттки, возникающими при определенных условиях на границе раздела металл — полупровод-

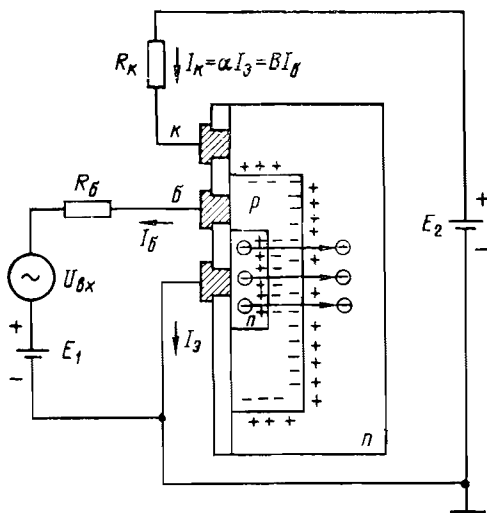


Рис. 11. Схема включения биполярного *p-n-p* транзистора. Используя модель на рис. 10, получаем  $\beta = \alpha_0 / (1 - \alpha_0)$ .

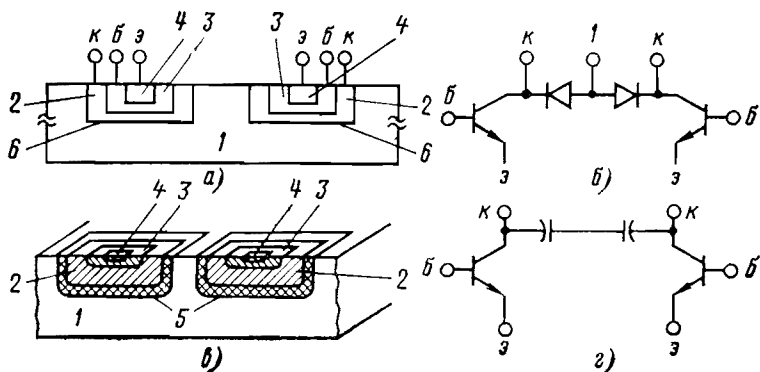


Рис. 12. Структуры и эквивалентные схемы транзисторов, изолированных электронно-дырочными переходами подложка — коллектор (*а, б*) и слоем окисла (*в, г*).

1 — подложка *p*-типа; 2 — коллекторная область *n*-типа; 3 — базовая область *p*-типа; 4 — эмиттерная область *n*-типа; 5 — изолирующий слой окисла  $\text{SiO}_2$ ; 6 — изолирующий *p-n* переход коллектор — подложка.

ник, используются для повышения быстродействия ИС, так как обладают внутренней *нелинейной обратной связью* (рис. 14,б), предотвращающей попадание транзистора в режим насыщения.

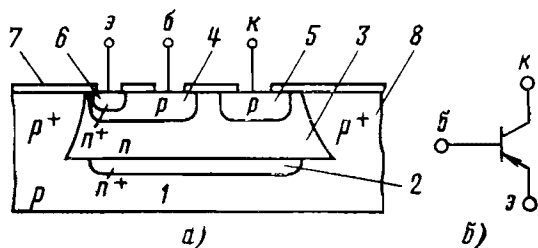


Рис. 13. Структура продольного *p-n-p* транзистора.

1 — *p*-подложка; 2 — скрытый *n+*-слой; 3 — *p*-область базы; 4 — *p*-область эмиттера; 5 — *p*-область коллектора; 6 — *n+*-контакт к области базы; 7 — окисел; 8 — *p+*-области разделительные.

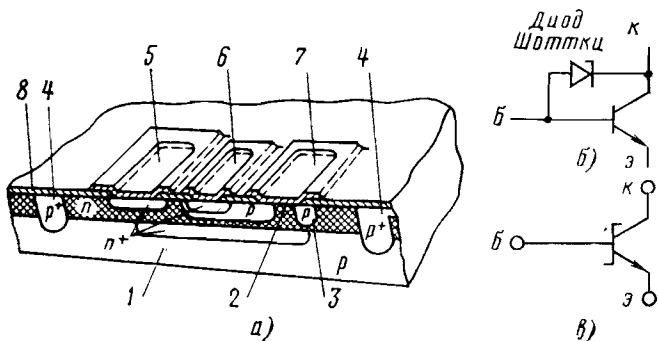


Рис. 14. Структура (а), эквивалентная схема (б) и условное обозначение (в) транзистора Шоттки.

1 — подложка; 2 — переход Шоттки; 3 — «охранное» *p+*-кольцо; 4 — изолирующая *p+*-область; 5 — контакт коллектора; 6 — контакт эмиттера; 7 — контакт базы; 8 — слой  $\text{SiO}_2$ .

*Полевой (или униполярный) транзистор\** действует на принципе управления шириной канала путем изменения напряжения на затворе. В результате изменяется сопротивление канала и соответственно ток основных носителей заряда в цепи *исток — сток*. Различают полевые транзисторы с управляющим электронно-дырочным переходом и транзисторы со структурой «металл — диэлектрик — полупроводник» (МДП) с индуцированным каналом *p*- или *n*-типа (рис. 15,а, б). Последние наиболее часто используются в современных цифровых БИС.

\* В униполярном транзисторе используется движение носителей одного типа проводимости, в биполярном — двух типов проводимости.

По своим характеристикам полевой транзистор напоминает электронную лампу, в которой управление потоком носителей тока (электронов) осуществляется электрическим полем между сеткой и катодом. Совместное изготовление в ИС МДП транзисторов двух дополнительных  $p$ - $n$  и  $n$ - $p$ -типов проводимости (рис. 16) позволяет осуществить логические схемы, почти не потребляющие мощности в статическом режиме. Дополнительные МДП транзисторы (с  $p$ - и  $n$ -каналами) иногда называют *комплементарными* (от английского слова complement — дополнение).

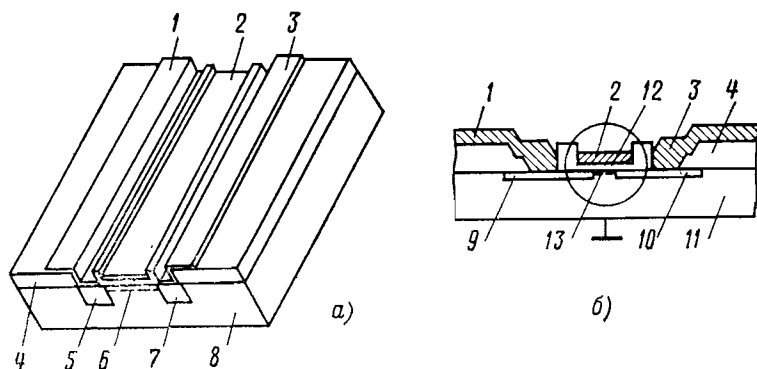


Рис. 15. Структуры МДП транзисторов с каналом  $p$ -типа (а) и  $n$ -типа (б). В круглом контуре выделены области затвора и канала с тонким окисным слоем, необходимым для управления движением основных носителей в канале с помощью электрического поля. 1 — контакт истока; 2 — затвор; 3 — контакт стока; 4 — слой  $\text{SiO}_2$ ; 5 — область истока с проводимостью  $p$ -типа; 6 —  $p$ -канал; 7 — область стока; 8 — подложка из монокристалла кремния  $n$ -типа (для  $p$ -канального МДП транзистора); 9 — область истока с проводимостью  $n$ -типа (для  $n$ -канального МДП транзистора); 10 — область стока  $n$ -канального МДП транзистора; 11 — подложка из монокристалла кремния  $p$ -типа для  $n$ -канального МДП транзистора; 12 — тонкий слой окисла под затвором; 13 — канал.

Соединение элементов ИС выполняется путем металлизации поверхности кристалла с полученными контактными окнами и последующей фотолитографией для получения нужного соединения контактов. Для сравнительно простых ИС применяется однослойная металлизация. При создании соединений в сложных ИС приходится делать металлизацию двухслойной. Металлизация соединяет внутренние контактные площадки элементов ИС между собой и со внешними контактными площадками в соответствии с принципиальной схемой. Часть пластины монокристалла — чип (от английского слова chip — кусочек), на которой расположена законченная схема, монтируется затем в корпус.

Используется также изготовление узлов МЭА в виде микросборок, которые представляют собой микросэлектронные изделия, выполняющие определенные функции и состоящие из отдельных

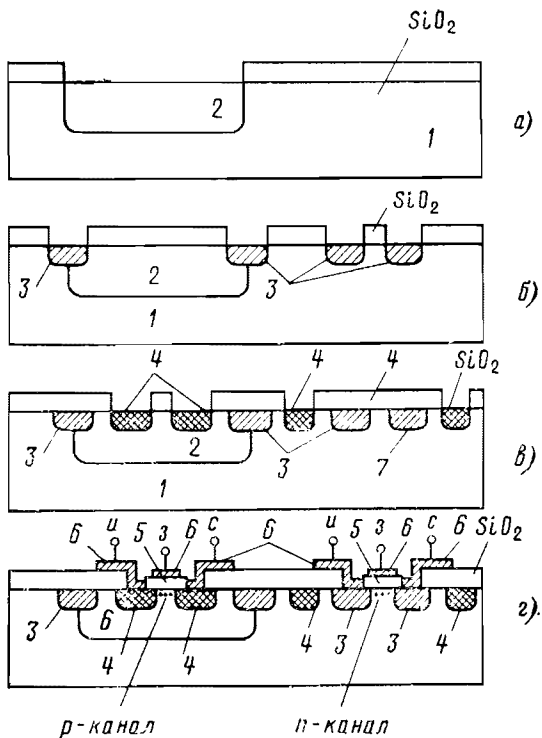


Рис. 16. Этапы изготовления структуры комплементарной пары МДП транзисторов с каналами *n*- и *p*-типов.

*a* — первая диффузия примеси *p*-типа — создание в подложке (1) *p*-области (2); *б* — вторая диффузия *p*+-примеси — создание *p*+-областей (3); *в* — диффузия *n*+-примеси — создание *n*+ областей (4); *г* — создание тонких слоев окисла под затворами (5) и металлических затворов и контактов стока и истока (6).

элементов и (или) интегральных микросхем (в корпусе или без корпуса), расположенных на общей подложке. Микросборки разрабатываются и изготавливаются для конкретной радиоэлектронной аппаратуры с целью улучшения ее технических и эксплуатационных показателей.

## СЕРИИ И СЕМЕЙСТВА СЕРИЙ ИС

*Серия* — комплект из нескольких типов ИС, имеющих единое конструктивно-технологическое исполнение и предназначенных для совместного применения в аппаратуре. Интегральные схемы, входящие в серию, имеют единые эксплуатационные показатели и используются как совместимые наборы деталей, пригодные для создания МЭА практически любой сложности. Многие современные серии ИС постоянно «растут», т. е. пополняются новыми типами ИС, выполняющими все более сложные функции.



Серии ИС, совместимые друг с другом по логическим уровням, условиям эксплуатации и конструктивным показателям, могут образовывать *семейства серий ИС*.

## ТЕХНОЛОГИЧЕСКАЯ СЛОЖНОСТЬ И СТЕПЕНЬ ИНТЕГРАЦИИ

*Технологическую сложность* ИС можно характеризовать числом содержащихся в ней элементов:

$$x = \lg n,$$

где  $x$  — коэффициент, определяющий *степень интеграции* (округляется до ближайшего целого числа);  $n$  — число элементов, входящих в состав ИС.

Таблица 1

Уровень сложности ИС	Количество интегрированных элементов	Примеры функционального назначения ИС
МИС	$\leq 10$	Биполярные ячейки, простые логические элементы, дифференциальные усилительные каскады
СИС	10—100	Триггеры, регистры, сумматоры, операционные усилители, коммутаторы
БИС	100—1000	Полупроводниковые запоминающие и арифметико-логические устройства
СБИС	$> 1000$	Микропроцессоры, однокристалльные микро-ЭВМ, аналого-цифровые преобразователи

Таким образом, микросхема I степени интеграции содержит до 10 элементов. Такую микросхему считают *маломасштабной* (малой ИС—МИС). Микросхема II степени интеграции (*среднемасштабная*) содержит от 10 до 100 элементов. Микросхема III степени интеграции содержит от  $10^2$  до  $10^3$  элементов и относится к категории *больших интегральных схем* (БИС). *Сверхбольшие* (СБИС) имеют степень интеграции более 1000 элементов (табл. 1).

По конструктивно-технологическому признаку различают *полупроводниковые (монокристалльные) и гибридные (пленочные)* ИС. Полупроводниковые ИС изготавливают по описанной выше планарно-эпитаксиальной технологии. Гибридные ИС и микросборки состоят из диэлектрической подложки с пленочными *пассивными* элементами (резисторами, конденсаторами и межсоединениями). *Активные* элементы (транзисторы, диоды, кристаллы полупроводниковых ИС — чипы) присоединяются к пассивной части подложки термокомпрессией, микросваркой или групповой пайкой. Среди гибридных ИС различают *тонкопленочные* ИС и *микросборки*, пассивные элементы которых образуются на диэлектрической подложке в виде тонких пленок, создаваемых обычно напылением соответствующих материалов в вакууме, и *толстопленочные* ИС и микросборки, элементы

которых образуются на подложке в виде относительно толстых пленок, создаваемых методом высокотемпературного вжигания специальных паст в керамику.

## ФУНКЦИОНАЛЬНЫЕ И ФУНКЦИОНАЛЬНО-ИНТЕГРИРОВАННЫЕ ИЗДЕЛИЯ МИКРОЭЛЕКТРОНИКИ

*Функциональные изделия микроэлектроники* не имеют физического подобия с общепринятыми транзисторными схемами. Примерами функциональных изделий могут служить *оптроны*, *домённые* запоминающие устройства, *приборы с зарядовой связью* и другие устройства, обладающие *функциональной интеграцией* (интеграцией физических эффектов — см. ниже).

Функциональные изделия (элементы, схемы) применяются пока как дополнение к технике ИС. Самостоятельное развитие техники функциональных изделий (структур) является в значительной мере делом будущего и может привести к созданию аппаратуры новых классов (например, адаптивных биологоподобных систем с большой живучестью).

Гораздо быстрее развивается техника *функционально-интегрированных структур* [20]. Функционально-интегрированное исполнение — совмещение рабочих областей различных элементов (активных и пассивных) в единой области полупроводника с целью более эффективной реализации сложных аппаратурных функций при меньших затратах площади кристалла.

Примерами функционально-интегрированных структур являются *многоэмиттерный транзистор*, транзистор с *барьером Шоттки*, интегральные схемы с *инжекционным питанием* (см. ниже).

## КАКИЕ ФУНКЦИИ ВЫПОЛНЯЮТ ИС?

Современные ИС способны выполнить большинство задач, встречающихся в практике создания электронной аппаратуры. Эффективное аппаратурное решение этих задач возможно на основе стандартизованных электронных блоков, имеющих ограниченную номенклатуру и серийноспособных при массовом производстве.

*Цифровые ИС* оперируют с информацией, представленной в дискретной двоичной форме в виде комбинации двух цифр — нуля и единицы. Цифровые ИС выполняют арифметические действия и операции *двузначной алгебры* — *алгебры логики*, называемой также булевой алгеброй по имени английского математика Джорджа Буля, заложившего ее основы в середине XIX в. На возможность технического применения булевой алгебры впервые обратил внимание русский ученый П. С. Эренфест (1910 г.). В 1938 г. Шеннон, а независимо от него в 1936 г. советский ученый В. И. Шестаков успешно применили математический аппарат булевой алгебры для релейных схем, явившихся прообразом современных цифровых устройств. В дальнейшем технические приложения булевой алгебры стимулировали развитие в 50-х годах XX в. современных методов *логического проектирования* цифровых цепей. Логические методы анализа и синтеза цифровых цепей являются основой *микросхемотехники цифровых ИС*, обеспечивают реализацию весьма сложных цифровых устройств из ограниченного набора простейших логических схем [1, 11].

Аналоговые ИС оперируют с информацией в аналоговой форме, не закодированной в цифры, т. е. в форме непрерывных функций, представленных в виде напряжений или токов. Над этими функциями выполняются аналоговые операции усиления, сравнения, перемножения, фильтрации, формирования сигналов. Проектирование ИС, выполняющих эти операции, является задачей *микросхемной аналоговых ИС*.

## ВЫСКАЗЫВАНИЯ, СИЛЛОГИЗМЫ — ОТ СХОЛАСТИКИ К АЛГЕБРЕ ЛОГИКИ

Цифры 0 и 1 служат в цифровых ИС символами для представления информации, обрабатываемой по законам *алгебры логики*, которая является обобщением опыта человечества в области построения правильных умозаключений.

Символы 0 и 1 в алгебре логики не имеют никакого количественного смысла и употребляются для обозначения и исчисления *высказываний*. Примерами высказываний могут служить силлогизмы, встречающиеся, в частности, в одном из сочинений Леонарда Эйлера:

*силлогизм 1: всякое А есть В, но некоторые С есть А, следовательно, некоторые С суть В;*

*силлогизм 2: всякое А есть В, всякое С есть А, следовательно, всякое С есть В.*

Таким образом, высказывания приписывают (предсказывают) предмету (субъекту) какое-либо свойство (предикат) или отрицают его.

Исчисление (предсказывание) высказываний восходит к трудам Аристотеля, посвященным правилам умозаключений — построению силлогизмов (силлогистика). Силлогистика Аристотеля была усложнена в эпоху средневековья до уровня весьма изощренной и во многом казуистической науки — *схоластики*. Основная сложность схоластики заключалась в том, что в ней нужно было не только правильно пользоваться законами (модусами) силлогизма,

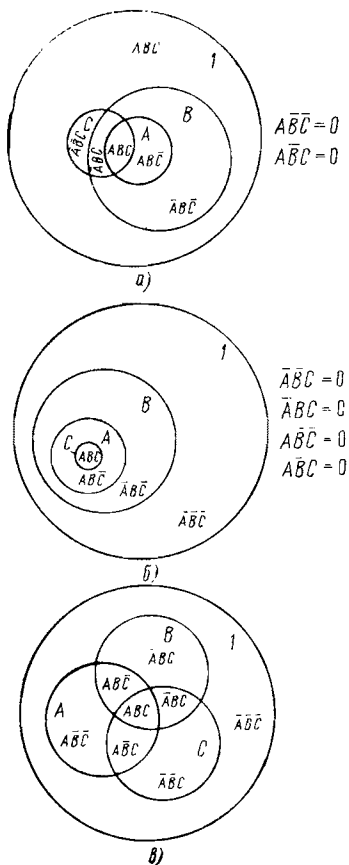


Рис. 17. Изображение силлогизмов в виде кругов Эйлера. а — силлогизм 1; б — силлогизм 2; в — общий случай.

но и опровергать неправильные умозаключения. Попытки свести силлогистику к решенно алгебраическим уравнений делал еще в XVII в. Лейбниц. Однако именно Джордж Буль в середине XIX в. предложил использовать двоичные операции для исчисления качества, а не количества. При этом логическая единица должна быть интерпретирована как символ «все», который принимается как *совокупность всех вариантов или понятий*, возможных для данного рассуждения.

Рассмотрим геометрическую интерпретацию приведенных выше силлогизмов в виде «кругов Эйлера»\*. Для силлогизмов 1 и 2 единица есть *логическая сумма (дизъюнкция)* возможных логических комбинаций (*конституент, минтермов*):

$$\overline{A}\overline{B}\overline{C}, \overline{A}B\overline{C}, \overline{A}B\overline{C}, \overline{A}B\overline{C}, \overline{A}\overline{B}C, \overline{A}\overline{B}C, A\overline{B}\overline{C}, A\overline{B}C, \text{ т. е.}$$

$$1 = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}\overline{B}C + \overline{A}\overline{B}C + A\overline{B}\overline{C} + A\overline{B}C.$$

Условия силлогизмов 1 и 2, как это видно на рис. 17,а, б, можно записать в виде пустых множеств:

для силлогизма 1

$$A\overline{B}\overline{C} + A\overline{B}C = 0;$$

для силлогизма 2

$$A\overline{B}C + A\overline{B}\overline{C} + A\overline{B}C + A\overline{B}\overline{C} = 0$$

На рис. 17,в изображен общий случай, когда понятия  $A$ ,  $B$ ,  $C$  частично *пересекаются* (имеют общую площадь).

Принятый знак инверсии (черта над буквой) соответствует логической операции *дополнения до единицы*, отрицающей наличие у субъектов  $A$ ,  $B$ ,  $C$  предцизируемых им свойств:

$$A + \overline{A} = 1; \quad B + \overline{B} = 1; \quad C + \overline{C} = 1.$$

Знак плюс обозначает *логическое сложение* (дизъюнкцию), а знак умножения — *логическое умножение* (конъюнкцию). Знак равенства символизирует *логическую эквивалентность*. Таким образом, соотношения булевой алгебры записывают через симметричные операции эквивалентности и инверсии, дизъюнкции и конъюнкции. Определение этих операций дается с помощью *таблиц истинности*, содержащих перечисление всех возможных сочетаний (наборов) входных переменных (входных слов).

На рис. 18,а—е представлены таблицы истинности и условные обозначения для операции инверсий, дизъюнкции и конъюнкции.

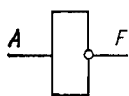
Таким образом, булеву алгебру можно определить как класс  $S$  объектов  $A$ ,  $B$ ,  $C$ , в котором определены две бинарные операции, обозначаемые как сложение (логическое) и умножение, со свойствами:

а) для  $A$ ,  $B$ ,  $C$  из  $S$ , где  $S$  содержит  $A+B$  и  $AB$  (замкнутость);

\* Впоследствии (в 80-х годах XIX в.) английский логик и философ Джон Венн расширил толкование «кругов Эйлера», применив их для математической логики и создав графический метод доказательства (метод *диаграмм Венна*). В настоящей книге использован современный графический аппарат — *карты минтермов*, являющиеся дальнейшим развитием диаграмм Венна.

A	F
0	1
1	0

a)

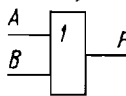


$$F = \bar{A}$$

б)

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

в)

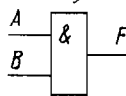


$$F = A + B$$

г)

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

д)

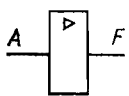


$$F = AB$$

е)

A	F
0	0
1	1

ж)

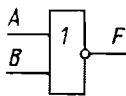


$$F = A$$

з)

A	B	F
0	0	1
0	1	0
1	1	0
1	0	0

и)

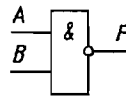


$$F = \overline{A + B}$$

к)

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

л)



$$F = \overline{AB}$$

м)

Рис. 18. Таблицы истинности и условные обозначения для основных операций булевой алгебры: инверсии (а, б), дизъюнкции (в, г), конъюнкции (д, е), эквивалентности (ж, з), стрелки Пирса (и, к), штриха Шеффера (л, м).

б)  $S$  содержит элементы 1 и 0 такие, что  $A+0=A$ ;  $A \times 1=A$ ;  $A \times 0=0$ ;  $A+1=1$ ;

в) для каждого объекта  $A$  класс  $S$  содержит  $\bar{A}$  (его дополнение или инверсию) такое, что  $A+\bar{A}=1$ ,  $A \times \bar{A}=0$ ;

г) для объектов  $A, B, \dots$  справедливы основные тождества (табл. 2)

Тождества (тавтологии) булевой алгебры выработаны на основании опыта правильных умозаключений человека. Из простых тождеств дедуктивным путем (путем доказательства) получают весьма сложные построения, с помощью которых можно выяснить логическую непротиворечивость выводов, получаемых из посылок, или, наоборот, их несовместимость (ложность). Тем самым оказа-

лись решенными все принципиальные проблемы силлогистики и схоластики.

Охарактеризованный выше дедуктивный принцип является *основой* построения и других разделов математики, таких как, например, обычная алгебра, геометрия, теория вероятности. Общие законы математических доказательств и их формализации в виде исчислений изучает наука, называемая *математической логикой*.

Т а б л и ц а 2

№ тождества	Название тождества	Формулировка тождества
1	Элементарные высказывания	$A + \bar{A} = 1$
2	То же	$A\bar{A} = 0$
3	" "	$A + 1 = 1$
4	" "	$A \times 1 = A$
5	Соотношения поглощения (абсорбции)	$A + A = A$
6	То же	$AA = A$
7	Двойное отрицание	$\bar{\bar{A}} = A$
8	Сочетательные (ассоциативные)	$(A + B) + C = A + (B + C)$
9	То же	$(AB)C = A(BC)$
10	Переместительные (коммутативные)	$A + B = B + A$
11	То же	$AB = BA$
12	Распределительные (дистрибутивные)	$(A + B)(A + C) = A + BC$
13	То же	$A(B + C) = AB + AC$
14	Соотношения двойственности	$\overline{A + B} = \bar{A}\bar{B}$
15	(теоремы де Моргана)	$\overline{AB} = \bar{A} + \bar{B}$

Используя методы булевой алгебры, можно анализировать и синтезировать структурные схемы цифровых устройств, т. е. проводить их логическое проектирование.

## ЛОГИЧЕСКИЕ ОПЕРАЦИИ И ЦИФРОВЫЕ ИС

На рис. 18, ж—м представлены таблицы истинности и условные обозначения для операций эквивалентности;

$$\text{НЕ-ИЛИ („стрелка Пирса“) } F = \overline{A + B};$$

$$\text{НЕ-И („штрих Шеффера“) } F = \overline{AB}.$$

Все возможные булевы функции двух переменных перечислены в табл. 3.

На рис. 19 представлены основные схмотехнические варианты инверторов, применяемых в цифровых ИС.

Ключевая схема на рис. 19,а содержит биполярный транзистор  $T$  и резисторы  $R_1$  и  $R_2$  в цепях его базы и коллектора. Это включение соответствует *резистивно-транзисторной логике* (РТЛ). При  $R_2=0$

Таблица 3

A	0	0	1	1	Выражение через три основные операции (конъюнкция, дизъюнкция, инверсия)	Наименование функции (наименование операции)	Основные обозначения операции
B	0	1	0	1			
$F_0$	0	0	0	0	0	Постоянная (константа 0)	
$F_1$	0	0	0	1	$AB$	Конъюнкция (логическое умножение)	$\cdot, \cap, \wedge$
$F_2$	0	0	1	0	$A\bar{B}$	Запрет	$A \not\rightarrow B$
$F_3$	0	0	1	1	$A$	Тождественность (переменная A)	$\sim, =$
$F_4$	0	1	0	0	$\bar{A}B$	Запрет	$B \not\rightarrow A$
$F_5$	0	1	0	1	$B$	Тождественность (переменная B)	$\sim, =$
$F_6$	0	1	1	0	$\bar{A}B + A\bar{B}$	Исключительное ИЛИ, неравнозначность A и B	$A \oplus B$
$F_7$	0	1	1	1	$A + B$	Дизъюнкция (логическое сложение)	$+, \cup, \vee$
$F_8$	1	0	0	0	$\overline{A + B}$	НЕ-ИЛИ, стрелка Пирса	$A \downarrow B$
$F_9$	1	0	0	1	$\bar{A}\bar{B} + AB$	Равнозначность A и B	$A \sim B$
$F_{10}$	1	0	1	0	$\bar{B}$	Инверсия B, отрицание	$\bar{B}$
$F_{11}$	1	0	1	1	$A + \bar{B}$	Импликация от B к A	$B \rightarrow A$
$F_{12}$	1	1	0	0	$\bar{A}$	Инверсия, отрицание	$\bar{A}$
$F_{13}$	1	1	0	1	$\bar{A} + B$	Импликация от A к B	$A \rightarrow B$
$F_{14}$	1	1	1	0	$\bar{A}\bar{B}$	НЕ-И, штрих Шеффера	$A/B$
$F_{15}$	1	1	1	1	1	Постоянная (константа 1)	

схема на рис. 19,а превращается в конфигурацию, используемую в непосредственно связанной транзисторной логике (НСТЛ) и диодно-транзисторной логике (ДТЛ). Если резистор  $R_2$  заменить RC-цепочкой, получим схему инвертора *резистивно-емкостной транзисторной логики* (РЕТЛ). Перечисленные типы логических схем применялись в разработках ИС 60-х годов и в дальнейшем были вытеснены более совершенными вариантами.

Один из таких вариантов — инвертор *транзисторно-транзисторной логики* (ТТЛ) — содержит выходной каскод (рис. 19,б) на транзисторах  $T_2$  и  $T_3$  в так называемом *каскадном* включении, когда эмиттерная цепь транзистора  $T_2$  служит нагрузкой для коллекторной цепи транзистора  $T_3$ . Для двуполярного управления

базами транзисторов  $T_2$  и  $T_3$  используется ключ на транзисторе  $T_1$  с нагрузками  $R_1$  и  $R_2$  (расщепитель фазы). Каскодное включение улучшает быстродействие и нагрузочную способность ТТЛ-схем. Диод  $D$  обеспечивает выключение транзистора  $T_2$  при включении  $T_1$  и соответственно  $T_3$ . В этом случае потенциал базы  $T_2$  составит  $U_{б2} = U_{к.э.нас} + U_{бэ}$ , потенциал коллектора  $T_3$  равен  $U_{к3} = U_{к.э.нас}$ . Разность потенциалов  $\Delta U = U_{б2} - U_{к3} = U_{бэ} \approx 0,7$  В недостаточна для отпирания последовательно включенных перехода база — эмиттер  $T_2$  и диода  $D$ .

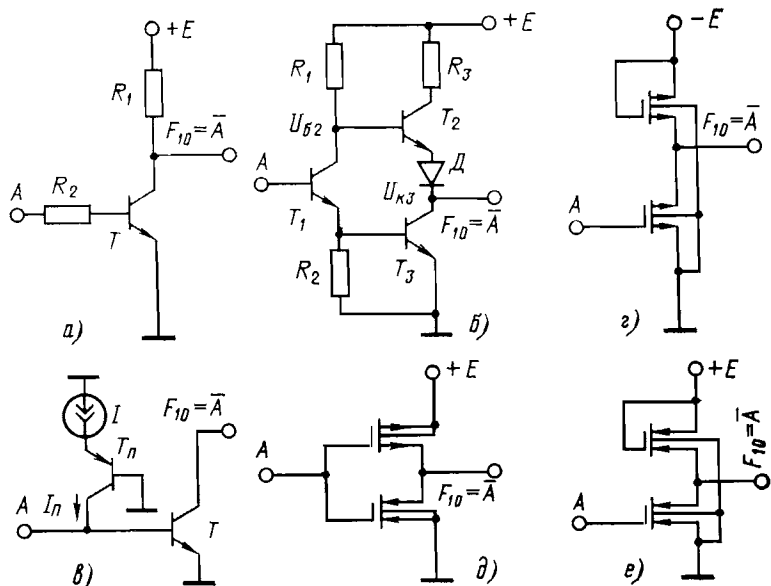


Рис. 19. Основные варианты инверторов в ИС.

а — РТЛ; б — ТТЛ; в — И<sup>2</sup>Л; г — рМДПТЛ; д — КМДПТЛ; е — лМДПТЛ.

Резистор  $R_3$  (рис. 19,б) является ограничителем сквозного тока, протекающего при одновременном открывании транзисторов  $T_2$  и  $T_3$  во время переходных процессов переключения инвертора.

На рис. 19,в изображен инвертор функционально-интегрированной инжекционной логики (ФИИЛ — И<sup>2</sup>Л). И<sup>2</sup>Л-схемы работают с весьма малыми перепадами логических уровней и требуют минимальной площади поверхности полупроводниковой подложки [8]. Питание сложных И<sup>2</sup>Л-схем осуществляется от источника тока  $I$  через  $p$ - $n$ - $p$ -переход транзисторов  $T_n$ , имеющих общую эмиттерную  $p$ -область, называемую инжектором. Транзисторы  $T_n$  имеют продольную структуру (рис. 13), причем  $n$ -область базы транзистора  $T_n$  физически совмещена с эмиттерной  $p$ -областью транзистора  $T$ , а  $p$ -область коллектора  $T_n$  — с областью базы транзистора  $T$ . Изменение значений переменной  $A$  на входе изменяет путь тока инжекции  $I_n = \alpha_u I$ . При  $A = 1$ , соответствующей высокому потенциалу на входе («положительная логика»), ток  $I_n$  поступает в базу



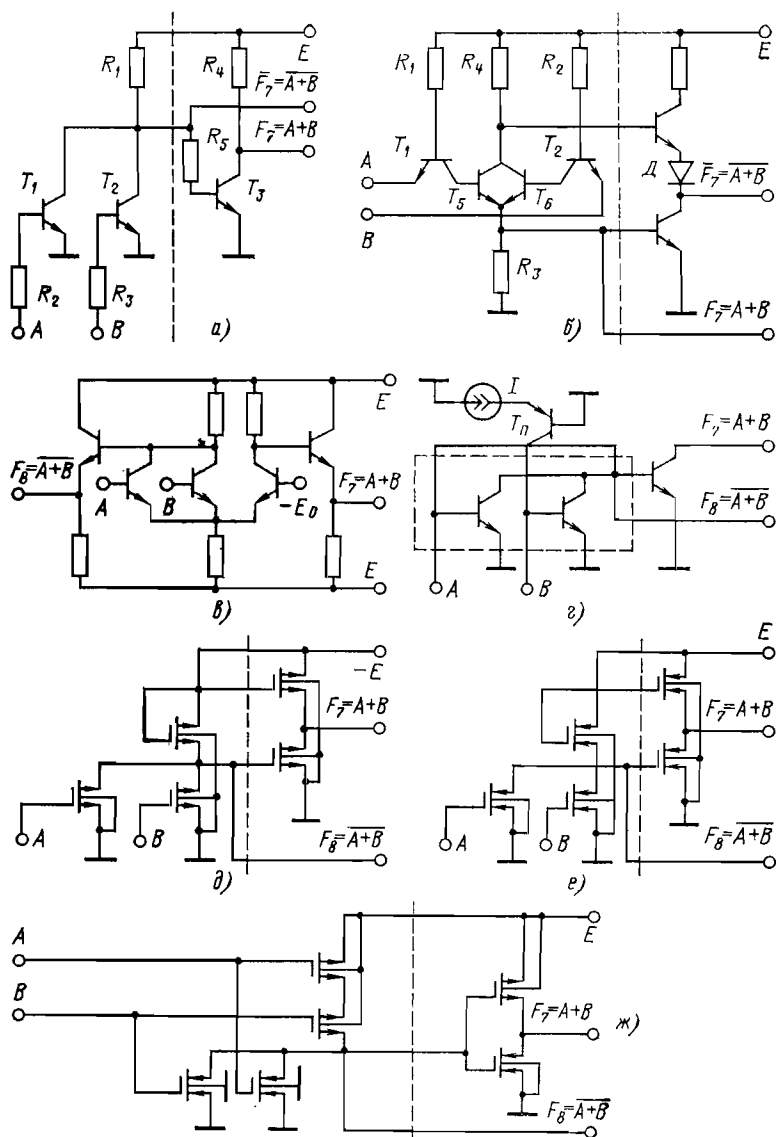


Рис. 20. Реализация дизъюнкции и ее инверсии (стрелки Пирса) в ИС.

а — РТЛ; б — ТТЛ; в — ЭСЛ; г — И<sup>2</sup>Л; д — рМДПТЛ; е — МДПТЛ; ж — КМДПТЛ.

транзистора  $T$ , вызывая его насыщение; на выходе устанавливается низкий потенциал, соответствующей 0:  $F=0$ . При  $A=0$ , что соответствует входному потенциалу, близкому к нулю, весь ток  $I_n$  поступает во входную цепь. Транзистор  $T$  закрывается, и на выходе устанавливается высокий потенциал:  $F=1$ .

На рис. 19,г представлен инвертор на МДП-транзисторах с  $p$ -каналом. Нагрузкой инверторов в этих схемах служат МДП-приборы, затворы которых соединены с источником отрицательного постоянного (рис. 19,г) либо импульсного напряжения. Подложка  $p$ -канальных МДП-транзисторов в таких схемах соединяется (рис. 19,г) с наиболее положительным их потенциалом; кодировка переменных в  $p$ МДП-базисе чаще всего соответствует «отрицательной логике», когда логическая 1 закодирована низким потенциалом, близким к напряжению отрицательного источника питания, логическому 0 соответствует потенциал «земли».

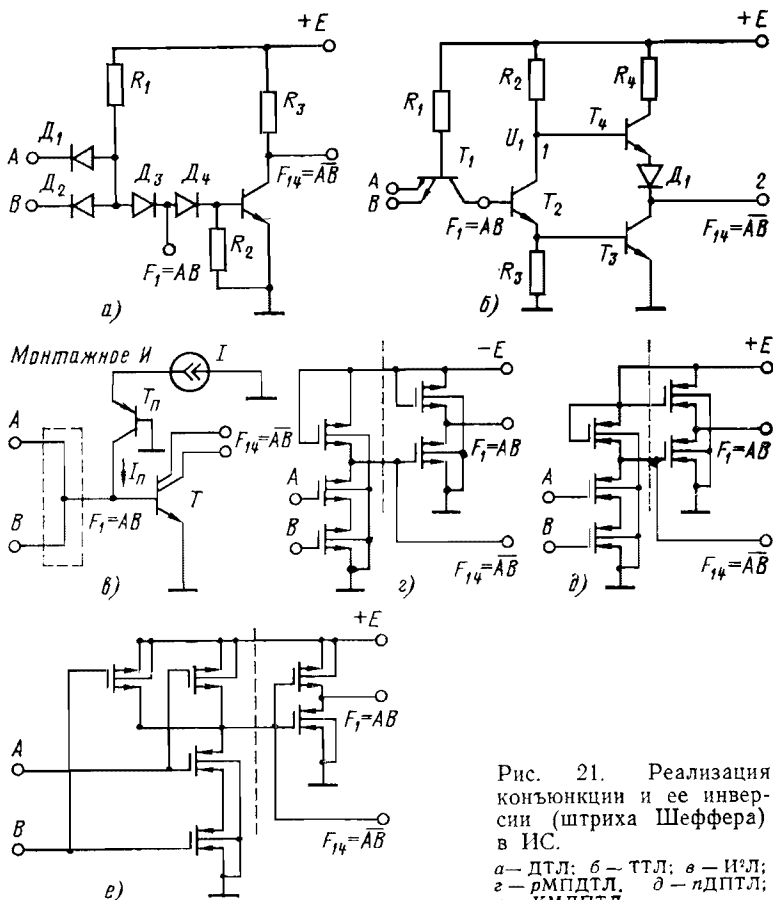


Рис. 21. Реализация конъюнкции и ее инверсии (штриха Шеффера) в ИС.

а - ДТЛ; б - ТТЛ; в - ИЭЛ;  
 г - рМДПДТЛ, д - лДПТЛ;  
 е - КМДПТЛ.

Схемотехника  $n$ МДП-компонентов, основанная на использовании положительной логики и структур с кремниевыми затворами, строится аналогичным образом (рис. 19,в). Транзисторы  $n$ МДП-типа являются более быстродействующими, требуют меньшей площади полупроводниковой поверхности, существенно более экономичны по потреблению мощности и поэтому часто используются в микромощных БИС.

На рис. 19,д показана схема инвертора на комплементарных (взаимодополняющих) МДП-транзисторах (КМДПТЛ). Современные элементы КМДПТЛ с «положительной логикой» питаются от низковольтного источника положительного напряжения ( $E \sim 5В$ ) и имеют уровни 0 и 1, совместимые с уровнями ТТЛ-схем. Подложки  $p$ -канальных МДП-транзисторов соединяются с точкой схемы, имеющей наиболее положительный потенциал, подложки  $n$ -канальных приборов соединяются с «землей», имеющей наиболее низкий потенциал.

Преимуществом ИС на комплементарных МДП-транзисторах является весьма малая мощность, потребляемая в статическом режиме, исчисляемая единицами — десятками микроватт, недостатком — большое число элементов в логических схемах (рис. 20) и усложнение технологии изготовления, что приводит к увеличению площади кристалла и стоимости изготовления таких схем по сравнению с ИС на однородных МДП-транзисторах.

На рис. 20,а—ж представлены различные схемотехнические варианты реализации функции дизъюнкции  $F_7 = A + B$  и ее инверсии  $F_7 = \overline{F_8}$ . Как видно из рис. 20, инверсия дизъюнкции (стрелка Пирса)  $F_8 = \overline{A + B}$  во всех вариантах, кроме эмиттерно-связанной транзисторной логики (ЭСЛ) (рис. 20,в), реализуется на меньшем числе элементов, а следовательно, занимает меньше площади на кристалле. Схемотехнические варианты выполнения конъюнкции  $F_1 = AB$  и ее инверсии  $F_{14} = \overline{AB}$  приведены на рис. 21.

## ОСНОВНЫЕ ПАРАМЕТРЫ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

При проектировании ИС или цифровых устройств на их основе необходимо знать параметры используемых *логических элементов*.

Параметры каждого логического элемента (ЛЭ) могут быть измерены экспериментально или определены расчетным путем по его электрической схеме.

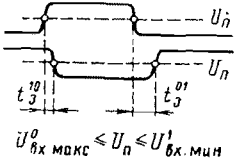
Основные параметры ЛЭ перечислены в табл. 4 (положительная логика, один источник питания +E).

## МЕТОДЫ ЛОГИЧЕСКОГО ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ УСТРОЙСТВ

Задачей логического проектирования является разработка структурных схем цифровых устройств на базе заданного набора логических элементов. Для улучшения технических характеристик МЭА — снижения потребляемой мощности и стоимости, повышения надежности и т. п. — требуются структуры, содержащие минимальные количества логических элементов. Для этого необходимо преобразовать логические выражения, описывающие функционирование устройств, с целью их упрощения.

На основании тождеств булевой алгебры (см. табл. 2) логические выражения могут быть подвергнуты преобразованиям.

Группы параметров	Параметры	Примечания
Логические уровни	<p><math>U_{\text{вх.мин}}^1</math> — минимальный допустимый уровень логической 1 на входе ЛЭ</p> <p><math>U_{\text{вх.макс}}^0</math> — максимальный допустимый уровень логического нуля на входе ЛЭ</p> <p><math>U_{\text{вых.мин}}^1</math> — минимальный гарантированный уровень логической 1 на выходе ЛЭ</p> <p><math>U_{\text{вых.макс}}^0</math> — максимальный гарантированный уровень логического 0 на выходе ЛЭ</p>	<p>Нижняя граница диапазона напряжений (<math>U_{\text{вх.мин}}^1 - E</math>) на входе ЛЭ, используемого для представления логической 1; при этом на выходе инвертирующего ЛЭ гарантируется логический 0</p> <p>Верхняя граница (<math>0 - U_{\text{вх.макс}}^0</math>) на входе ЛЭ, используемого для представления логического 0, при этом на выходе инвертирующего ЛЭ гарантируется логическая 1</p> <p>Нижняя граница диапазона напряжений (<math>U_{\text{вых.мин}}^1 - E</math>) на выходе ЛЭ, используемого для представления логической 1; для нормальной работы необходимо: <math>U_{\text{вых.мин}}^1 &lt; U_{\text{вх.мин}}^1</math></p> <p>Верхняя граница диапазона напряжений (<math>0 - U_{\text{вых.макс}}^0</math>) на выходе ЛЭ, используемого для представления логического 0; для нормальной совместной работы ЛЭ необходимо: <math>U_{\text{вых.макс}}^0 &lt; U_{\text{вх.макс}}^0</math></p>
Входные и выходные токи	<p><math>I_{\text{вх}}</math> — ток, вытекающий во входной проводник ЛЭ при логической 1 на входе</p> <p><math>I_{\text{вх}}^0</math> — ток, вытекающий во входной проводник ЛЭ при логическом 0 на входе</p> <p><math>I_{\text{вых}}^1</math> — ток, вытекающий из ЛЭ в нагрузку при логической 1 на выходе</p>	<p>Этот ток характеризует входное сопротивление открытого ЛЭ (<math>U_{\text{вых}} = U^0</math>) по постоянному току; если ток вытекает из ЛЭ, <math>I_{\text{вх}}</math> присваивается отрицательный знак</p> <p>Этот ток характеризует входное сопротивление закрытого ЛЭ (<math>U_{\text{вых}} = U^1</math>) по постоянному току</p> <p>Этот ток характеризует выходное сопротивление ЛЭ при логической 1 на его выходе</p>

Группы параметров	Параметры	Примечания
Входные и выходные токи	$I_{\text{вых}}^0$ — ток, вытекающий из ЛЭ в нагрузку при логическом 0 на выходе	Этот ток характеризует выходное сопротивление ЛЭ при логическом 0 на его входе
Потребляемые токи	$I_{\text{потр}}^1$ — ток, потребляемый ЛЭ при логической 1 на его выходе $I_{\text{потр}}^0$ — ток, потребляемый ЛЭ при логическом 0 на его выходе	Эти токи измеряются в цепи, соединяющей ЛЭ с источником $E$
Инерционность переходных процессов	$t_3^{10}$ — задержка включения; $t_3^{01}$ — задержка выключения	 <p style="text-align: center;"><math>U_{\text{нх}}^0 \leq U_n \leq U_{\text{нх}}^1</math></p>
Показатели сочетаний ИС	Коэффициент разветвления по выходу $N$	Максимальное число входов ЛЭ (нагрузок), соединяемых с выходом ЛЭ, при котором гарантируется работоспособность сочетаний ЛЭ
	Коэффициент объединения по входу $M$	Число входов ЛЭ
Перепады уровней логических сигналов	Минимальный перепад логических уровней, допустимый на входе ЛЭ, В $\Delta U_{\text{вх. мин}} = U_{\text{вх. мин}}^1 - U_{\text{вх. макс}}^0$	Минимальная величина, при которой ЛЭ еще отличает логическую 1 от логического 0

Группы параметров	Параметры	Примечания
Перепады уровней логических сигналов	Минимальный перепад логических уровней на выходе ЛЭ, В $U_{л} = U_{\text{вых. мин}}^1 - U_{\text{вых. макс}}^0$	Минимальный гарантированный* реальный перепад $\Delta U_{\text{вых. мин}} > \Delta U_{\text{вх. мин}}$ , обеспечивающий работоспособность ЛЭ в условиях помех с запасом, $\Delta U_{п} = U_{л} - \Delta U_{\text{вх. мин}}$
	Гарантированный запас от помех для логической 1 по постоянному току $\Delta U_{п}^1 = U_{\text{вых. мин}}^1 - U_{\text{вх. мин}}^1$	Величины $\Delta U_{п}^1$ и $\Delta U_{п}^0$ показывают распределение общего запаса от помех $\Delta U_{п} = \Delta U_{п}^1 + \Delta U_{п}^0$ на два состояния ЛЭ
	Гарантированный запас от помех для логического 0 по постоянному току $\Delta U_{п}^0 = U_{\text{вх. макс}}^0 - U_{\text{вых. макс}}^0$	
Инерционность	$t_3 = \frac{t_3^{01} + t_3^{10}}{2}$ — время распространения сигнала (задержка переключения)	Показатель, характеризующий быстродействие ЛЭ
Энергетические показатели	$I_{\text{потр}} = \frac{I_{\text{потр}}^1 + I_{\text{потр}}^0}{2}$ — потребляемый ток	Показатель, усредняющий значения тока потребления ЛЭ в состояниях логического 0 и логической 1
	$P_{\text{потр}} = EI_{\text{потр}}$ — потребляемая статическая мощность	Средняя мощность потребления ЛЭ в предположении, что ЛЭ в течение 50% времени находится в состоянии логической 1, а остальные 50% времени — в состоянии логического 0 (частота переключения низкая)
	$P_{\text{дин}} = C_{п} U_{л}^2 f$ — потребляемая динамическая мощность	Увеличивается с ростом логического перепада $U_{л}$ , эквивалентной емкости нагрузки $C_{п}$ и частоты $f$ переключения

Простейшими булевыми функциями двух переменных являются произведения вида  $\bar{A}\bar{B}$ ,  $\bar{A}B$ ,  $A\bar{B}$ ,  $AB$  (минтермы, конститутенты единицы) и суммы  $\bar{A}+\bar{B}$ ,  $\bar{A}+B$ ,  $A+\bar{B}$ ,  $A+B$  (макстермы, конститутенты нуля)\*. Каждая из переменных входит в эти выражения только один раз в своей прямой или инверсной форме. Для двух переменных имеется, таким образом, четыре минтерма  $m_0=\bar{A}\bar{B}$ ,  $m_1=\bar{A}B$ ,  $m_2=A\bar{B}$ ,  $m_3=AB$ , составляющих в сумме единицу:

$$m_0+m_1+m_2+m_3=\bar{A}(B+\bar{B})+A(B+\bar{B})=A+\bar{A}=1,$$

и четыре макстерма  $M_0=\bar{A}+\bar{B}$ ,  $M_1=\bar{A}+B$ ,  $M_2=A+\bar{B}$ ,  $M_3=A+B$ , для которых

$$\begin{aligned} M_0M_1M_2M_3 &= (A\bar{A} + \bar{A}B + \bar{A}\bar{B} + B\bar{B}) (\bar{A}\bar{A} + \bar{A}B + A\bar{B} + B\bar{B}) = \\ &= (\bar{A}\bar{B} + \bar{A}B) (\bar{A}\bar{B} + \bar{A}B) = 0. \end{aligned}$$

Одну и ту же логическую функцию путем тождественных преобразований можно представить в различных видах:

$$A + \bar{B} = (A + \bar{B})(B + \bar{B}) = \bar{B} + AB;$$

$$A + \bar{B} = (A + \bar{B})(A + \bar{A}) = A + \bar{A}\bar{B};$$

$$A + \bar{B} = (A + \bar{A}\bar{B})(B + 1) = AB + \bar{A}\bar{B} + A;$$

$$A + \bar{B} = A + \bar{A}\bar{B} = A(B + \bar{B}) + \bar{A}\bar{B} = AB + \bar{A}\bar{B} + \bar{A}\bar{B} \text{ и т. д.}$$

Минтермы двух, трех и четырех переменных изображены на картах Карно (рис. 22). Из рисунка видно, что минтерм представляется минимальным участком площади — одной клеткой на картах Карно (картах минтермов). На рис. 22,б заштрихована область, соответствующая макстерму  $A+\bar{B}$ ; эта область охватывает все квадраты карты, кроме одного. Макстерм занимает, таким образом, максимальную площадь на картах Карно.

При числе переменных  $n$  имеется  $2^n$  наборов, отвечающих  $2^n$  минтермам. Таким образом,

$$1 = \sum_{i=0}^{2^n-1} m_i,$$

где 1 соответствует полной площади карты Карно.

Чтобы отобразить функцию  $f$  в виде части этой площади, умножим каждый из минтермов  $m_i$  на коэффициент  $f_i$ , принимающий на  $i$ -наборе переменных значения 0 или 1:

$$f = \sum_{i=0}^{2^n-1} f_i m_i.$$

Полученное представление функции называется *совершенной дизъюнктивной нормальной формой* (СДНФ) функции  $f$ .

\* Слово *term* в переводе обозначает «член» математического выражения. *минтерм* и *макстерм* — слова, обозначающие минимальные и максимальные участки площади на диаграммах Эйлера (Венна).

Рис. 22. Карты Карно для минтермов двух (а, б) трех (в) и четырех (г) переменных.

Соответственно СДНФ инверсии функции  $f$  будет иметь вид:

$$\bar{f} = \sum_{i=0}^{2^n-1} \bar{f}_i m_i.$$

Инвертируя это выражение и применив теорему де Моргана (см. табл. 3, тождество  $F_{15}$ ), получаем:

$$f = \prod_{i=0}^{2^n-1} (f_i + \bar{m}_i),$$

где  $\bar{m}_i = M_{2^n-1-i}$ .

Полученное представление называется *совершенной конъюнктивной нормальной формой* (СКНФ) функции  $f$ :

$$f = \prod_{i=0}^{2^n-1} (f_i + M_{2^n-1-i}).$$

В качестве примера найдем СДНФ функции трех аргументов, определяемых по табл. 5, из которой видно, что функция  $f$  обращается в 1 только в тех случаях, когда сочетания  $ABC$  принимают значения 010, 101 или 111, т. е.  $f_2 = f_5 = f_7 = 1$ .

В каждом из этих трех случаев обращаются в 1 соответственно минтермы  $\bar{A}BC$ ,  $A\bar{B}C$ ,  $ABC$ , т. е.

$$f = m_2 + m_5 + m_7.$$

Таким образом, для получения СДНФ булевой функции необходимо сложить минтермы, соответствующие тем наборам аргументов, на которых  $f_i = 1$ .

Для логического проектирования микроэлектронной вычислительной аппаратуры удобен метод карт минтермов (их разновидностью являются карты Карно). Этот метод дает все варианты минимальных форм, позволяет использовать исходное булево выражение

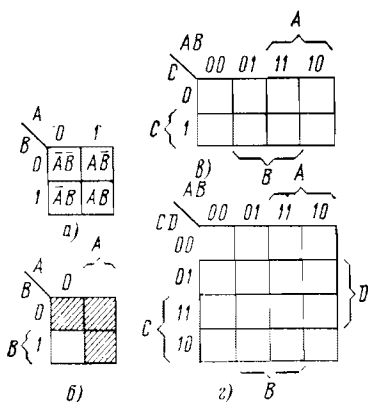


Таблица 5

$i$	$A$	$B$	$C$	$f_i$	$i$	$A$	$B$	$C$	$f_i$
0	0	0	0	0	1	1	0	0	0
1	0	0	1	0	5	1	0	1	1
2	0	1	0	1	6	1	1	0	0
3	0	1	1	0	7	1	1	1	1



в таком виде, в каком оно задается, не развертывая его в сумму минтермов (СДНФ), дает наглядное представление о различных взаимосвязях, используемых в логическом проектировании, позволяет получить минимальные по числу букв и близкие к минимальным формы булевых функций, а также производить упрощение нескольких функций одновременно.

Эти особенности метода карт минтермов делают его весьма удобным для инженерного проектирования логических структур, реализуемых на базе ИС.

## ПРИМЕРЫ ЛОГИЧЕСКОГО ПРОЕКТИРОВАНИЯ КОМБИНАЦИОННЫХ УСТРОЙСТВ

**Комбинационными** называются логические устройства, на выходе которых образуется булева функция, соответствующая значениям логических переменных на входах в рассматриваемый момент времени. Комбинационные цепи не содержат запоминающих элементов (бистабильных ячеек, триггеров). Примерами комбинационных цепей могут служить полусумматоры, преобразователи из одного кода в другой, сумматоры, дешифраторы, шифраторы.

**Полусумматоры.** Полусумматором называется комбинационное логическое устройство с двумя входами и двумя выходами, реализующее на одном из выходов функцию неравнозначности ( $F_6$ , табл. 3), а на другом — конъюнкцию входных переменных.

Таблица 6

Слагаемые		Перенос	Сумма
A	B	P	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

**Таблица истинности.** Обозначив входные переменные буквами  $A$  и  $B$ , для булевых функций конъюнкции  $P$  (переноса) и неравнозначности  $S$  (суммы) составим таблицу истинности (табл. 6).

Из табл. 6 видно, что сумма  $S = AB + \bar{A}B = A \oplus B$ , перенос  $P = AB$ .

Вариант логической схемы полусумматора, реализуемого в виде ИС, представлен на рис. 23,б.

**Преобразователь двоичного кода в обратный код.** Такое преобразование используется в цифровых машинах для выполнения арифметических операций с положительными и отрицательными числами. Для представления знака числа используется дополнительный разряд  $Z$ .

Если преобразуемое число  $A$  положительное, то значение  $Z = 0$ , и на выходе преобразователя образуется  $B = A$ , т. е. положительные числа сохраняют свои значения. При отрицательном значении  $Z = 1$  и преобразователь дает на выходе  $B = \bar{A}$ , т. е. отрицательные числа инвертируются.

**Таблица истинности.** Сформулированное правило работы преобразователя записано в виде табл. 7.

Непосредственно из табл. 7 получаем:

$$B = AZ + \bar{A}Z = A \oplus Z.$$

Таким образом, преобразование кода выполняется с помощью одной схемы, осуществляющей операцию «неравнозначности».

Знак числа	Символ знака числа Z	Цифра до преобразования A	Цифра после преобразования B
Положительный	0	0	0
	0	1	1
Отрицательный	1	0	1
	1	1	0

**Преобразователь двоичных чисел в код Грея.** Помимо двоичного представления чисел в цифровых устройствах используются многочисленные другие варианты кодов, одним из которых является код Грея (табл. 8). Для составления структурной схемы преобразователя двоичных чисел в код Грея нанесем на карты минтермов (рис. 24,а) значения выходных функций преобразователя  $A, B, C, D=f(a, b, c, d)$ . В результате объединения клеток, занятых 1, получим минимизированные выражения функций:

$$A = a = 0 \oplus a;$$

$$B = \bar{a}b + a\bar{b} = a \oplus b;$$

$$C = \bar{b}c + b\bar{c} = b \oplus c;$$

$$D = \bar{c}d + c\bar{d} = c \oplus d.$$

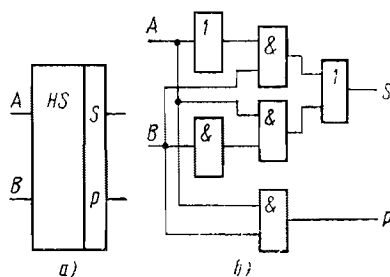


Рис. 23. Условное обозначение (а) и вариант логической схемы (б) двухвходового полусумматора.

В соответствии с этими выражениями можно построить структурную схему преобразователя (рис. 24,б), состоящую из трех полусумматоров.

**Комбинационный сумматор.** Рассмотрим одноразрядный сумматор, имеющий три входа и два выхода. На выходы сумматора подаются слагаемые  $A_k$  и  $B_k$ , а также сигнал переноса из предыдущего (младшего) разряда  $P_{k-1}$ . При этом на выходах сумматора образуются арифметическая сумма  $S_k$  и сигнал переноса  $P_k$  разряда в  $P_{k+1}$  (старший) разряд (табл. 9)

Нанесем выражения для функций  $P_k$  и  $S_k$  на карты минтермов (рис. 25,а, б), произведем объединение клеток, занятых 1 (это возможно только для  $P_k$ ), и считывание выражений для  $P_k$  и  $S_k$ :

$$P_k = A_k B_k + B_k P_{k-1} + A_k P_{k-1};$$

$$S_k = A_k B_k P_{k-1} + \bar{A}_k B_k \bar{P}_{k-1} + A_k \bar{B}_k \bar{P}_{k-1} + \bar{A}_k \bar{B}_k P_{k-1}.$$

Таблица 8

N	Двоичное число				Код Грея			
	a	b	c	d	A	B	C	D
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	0	1	0
4	0	1	0	0	0	1	1	0
5	0	1	0	1	0	1	1	1
6	0	1	1	0	0	1	0	1
7	0	1	1	1	0	1	0	0
8	1	0	0	0	1	1	0	0
9	1	0	0	1	1	1	0	1
10	1	0	1	0	1	1	1	1
11	1	0	1	1	1	1	1	0
12	1	1	0	0	1	0	1	0
13	1	1	0	1	1	0	1	1
14	1	1	1	0	1	0	0	1
15	1	1	1	1	1	0	0	0

Таблица 9

Входы			Выходы		Входы			Выходы	
$A_k$	$B_k$	$P_{k-1}$	$P_k$	$S_k$	$A_k$	$B_k$	$P_{k-1}$	$P_k$	$S_k$
0	0	0	0	0	1	0	0	0	1
0	0	1	0	1	1	0	1	1	0
0	1	0	0	1	1	1	0	1	0
0	1	1	1	0	1	1	1	1	1

Логическая схема сумматора, построенного по этим формулам, будет реализовать табл. 9. Однако для того чтобы упростить логическую схему или сделать ее более *однородной*, т. е. представить в виде двух полусумматоров, целесообразно применить прием *совместной минимизации* булевых функций, базирующийся на использовании одних выходных переменных для образования других переменных.

#### Совместная минимизация выходных функций сумматора.

Введя переменную  $D = A_k \oplus B_k = A_k \bar{B}_k + \bar{A}_k B_k$  и воспользовавшись тем, что  $\bar{D} = A_k B_k + \bar{A}_k \bar{B}_k$ , запишем полученное выше выражение  $S_k$  в виде

$$S_k = P_{k-1} \bar{D} + \bar{P}_{k-1} D = P_{k-1} \oplus D = P_{k-1} \oplus [A_k \oplus B_k].$$

Попробуем теперь выразить функцию  $P_k$  через  $A_k$ ,  $B_k$ ,  $P_{k-1}$  и  $D$ , для чего составим таблицу истинности (табл. 10) и карту

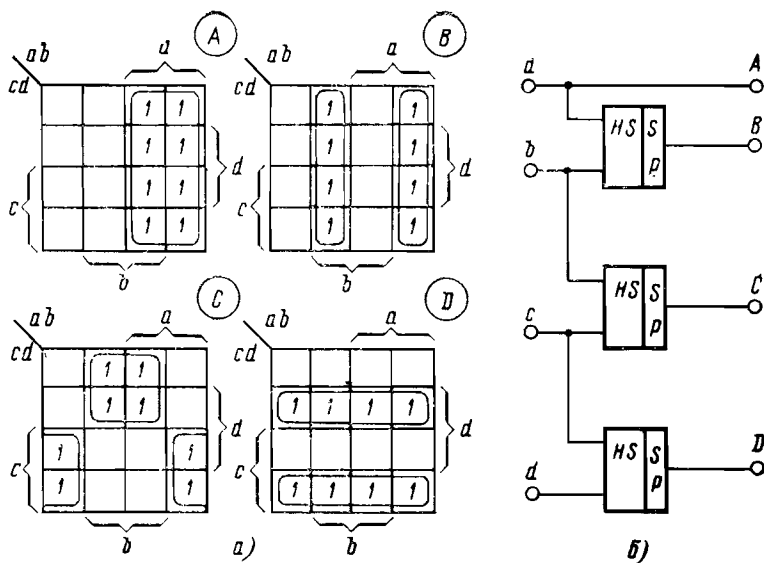


Рис. 24. Преобразователь двоичного кода в код Грея.

$a$  — карты Карно для выходных функций;  $b$  — логическая схема, составленная из полусумматоров.

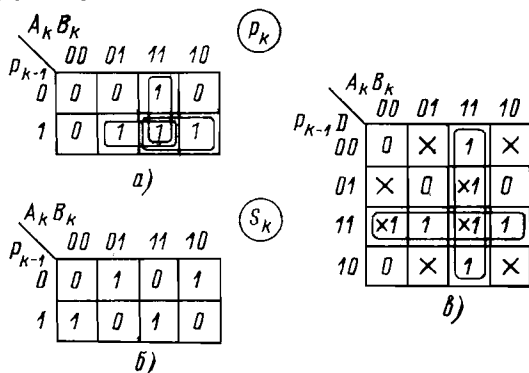


Рис. 25. Карты минтермов выходных функций  $P_k, S_k$  полного сумматора.

для  $P_k$  (рис. 25, а). Знаками « $\times$ » в табл. 11 обозначены значения соответствующим тем наборам  $A_k, B_k, D$ , которые не реализуются на практике, т. е. при  $D \neq A_k B_k + \bar{A}_k B_k$ . После замены (доопределения) части крестиков в табл. 10 единицами и объединения соответствующих клеток, как показано на рис. 25, б, получаем выражение для  $P_k$  в форме

$$P_k = A_k B_k + P_{k-1} D.$$

Для реализации полученных выражений  $S_k$  и  $P_k$  можно построить сумматор на основе схем «исключительное ИЛИ» (полусумматоров), имеющих в ряде серий ИС (рис. 26).

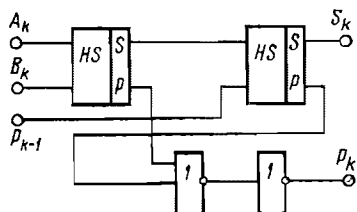


Рис. 26. Структурная схема сумматора из двух полусумматоров.

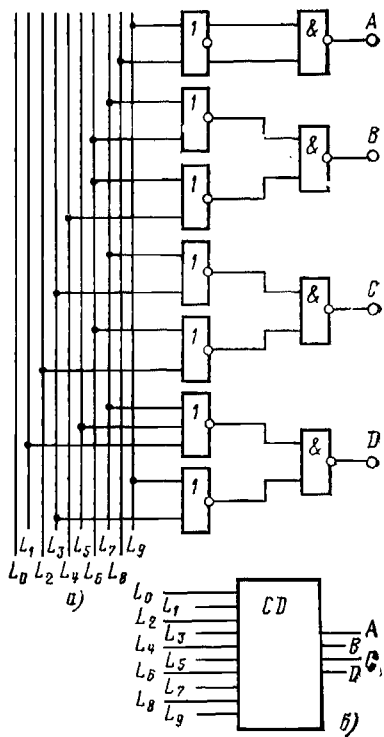
Т а б л и ц а 10

$A_k$	$B_k$	$P_{k-1}$	$D$	$P_k$	$A_k$	$B_k$	$P_{k-1}$	$D$	$P_k$
0	0	0	0	0	1	0	0	0	×
0	0	0	1	×	1	0	0	1	0
0	0	1	0	0	1	0	1	0	×
0	0	1	1	×	1	0	1	1	1
0	1	0	0	×	1	1	0	0	1
0	1	0	1	0	1	1	0	1	×
0	1	1	0	×	1	1	1	0	1
0	1	1	1	1	1	1	1	1	×

**Шифраторы и дешифраторы.** Шифратором называется комбинационный преобразователь одноместных символов (*унитарного кода*) в комбинации многоразрядных символов (*слов позиционного кода*). Таблица истинности (таблица кодирования) для шифратора, преобразующего 10-разрядный унитарный код в двоичный пози-

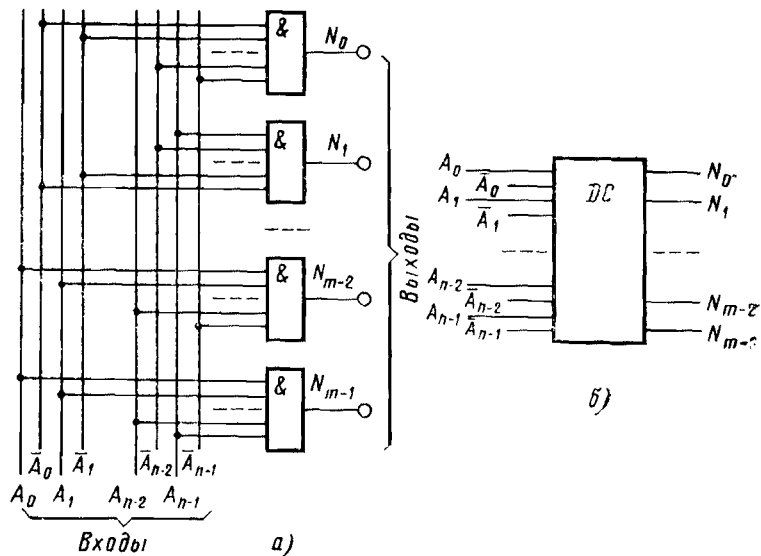
Т а б л и ц а 11

$L_0$	$L_1$	$L_2$	$L_3$	$L_4$	$L_5$	$L_6$	$L_7$	$L_8$	$L_9$	$A$	$B$	$C$	$D$
1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	0	0	0	1	0	0
0	0	0	0	0	1	0	0	0	0	0	1	0	1
0	0	0	0	0	0	1	0	0	0	0	1	1	0
0	0	0	0	0	0	0	1	0	0	0	1	1	1
0	0	0	0	0	0	0	0	1	0	1	0	0	0
0	0	0	0	0	0	0	0	0	1	1	0	0	1



← Рис. 27. Логическая схема (а) и условное обозначение (б) шифратора.

Рис. 28. Структурная схема (а) и условное обозначение (б) дешифратора.



бный код (табл. 11), непосредственно преобразуется в набор выражений

$$A = L_8 + L_9 = \overline{\overline{L_8 + L_9}};$$

$$B = L_4 + L_5 + L_6 + L_7 = \overline{\overline{L_4 + L_6}} \overline{\overline{L_5 + L_7}};$$

$$C = L_2 + L_3 + L_6 + L_7 = \overline{\overline{L_2 + L_6}} \overline{\overline{L_3 + L_7}};$$

$$D = L_1 + L_3 + L_5 + L_7 + L_9 = \overline{\overline{L_1 + L_5 + L_7}} \overline{\overline{L_3 + L_9}};$$

отвечающий структурной схеме на рис. 27,а. На операционных (логических) схемах шифраторы обозначаются, как показано на рис. 27,б.

*Дешифратором* называется комбинационный преобразователь позиционного кода в унитарный код. Если входной позиционный код двоичный и содержит  $n$  разрядов, а одноместный выходной код содержит  $m = 2^n$  символов, то такой двоичный дешифратор является полным. Набор функций полного дешифратора

$$N_0 = \bar{A}_0 \bar{A}_1 \dots \bar{A}_{n-2} \bar{A}_{n-1};$$

$$N_1 = \bar{A}_0 \bar{A}_1 \dots \bar{A}_{n-2} A_{n-1};$$

.....

$$N_{m-2} = A_0 A_1 \dots A_{n-2} \bar{A}_{n-1};$$

$$N_{m-1} = A_0 A_1 \dots A_{n-2} A_{n-1}$$

состоит из  $2^n$  выражений, каждое из которых является минтермом, соответствующим тому набору, в котором унитарная переменная  $L_i$  принимает значение 1. Структура, соответствующая этим формулам, является одноступенчатым дешифратором (рис. 28) и состоит из  $2^n$  элементов И (конъюнкторов). В неполных дешифраторах число входных наборов  $m_1 < 2^n$ ; при этом предполагается, что  $m - m_1$  наборов входных переменных на практике не реализуется, т. е. соответствующие им значения выходных сигналов могут быть любыми. При синтезе такого неполного дешифратора ( $m - m_1$ ) нереализуемые (безразличные) наборы переменных используются для упрощения структурной схемы, как это было проиллюстрировано на примере сумматора (рис. 25,в).

## ПОСЛЕДОВАТЕЛЬНОСТНЫЕ ЦИФРОВЫЕ ЦЕПИ И МЕТОДЫ ИХ ЛОГИЧЕСКОГО ПРОЕКТИРОВАНИЯ

Характерной особенностью *последовательностных* цифровых цепей является зависимость состояния выходов не только от значений входных переменных в данный момент времени, но и от внутренних состояний цепей, определяемых тем, какие условия (последовательности) имели место в предшествующие моменты времени (такты). Простейшими последовательностными цепями являются *триггерные схемы* различного вида.

*Характеристические уравнения* триггеров определяют их реакции на комбинации входных сигналов. По числу логических входов

различают одно-, двух- и трехходовые структуры. Простейшими одноходовыми структурами являются ячейки *регистров и счетчиков* — триггеры типов *D* (первая буква английского слова *delay* — задержка) и *T* (первая буква английских слов *trigger, toggle* — защелка, спусковой курок).

**D-триггер.** Таблица истинности (табл. 12) *D*-триггера дает возможность записать его характеристическое уравнение в виде

$$Q^{n+1} = D^n.$$

Таблица 12

Такт $n$	Такт $n+1$
$D^n$	$Q^{n+1}$
0	0
1	1

Таблица 13

Такт $n$	Такт $n+1$
$T$	$Q^{n+1}$
0	$Q^n$
1	$\bar{Q}^n$

Из этого выражения следует, что логическое значение выходной переменной в такте  $n+1$  совпадает со значением входной переменной  $D$  в предшествующем такте  $n$ . Тактовая последовательность, синхронизирующая работу триггера, подается на дополнительный вход синхронизации  $C_p$ .

**T-триггер.** Эта разновидность триггера является счетчиком с одним входом и одним выходом. Функционирование *T*-триггера определяется табл. 13, из которой нетрудно получить характеристическое уравнение *T*-триггера:

$$Q^{n+1} = [Q^n \bar{T} + \bar{Q}^{n+1} T]^n.$$

**RS-триггер.** Этот вариант триггера имеет два логических входа (табл. 14): вход установки  $S$  (первая буква английского слова *set*) и вход сброса  $R$  (первая буква английского слова *reset*). Комбинация  $RS=11$  является запрещенной, так как при последующем поступлении  $RS=00$  возникает неопределенность состояния триггера: возможен как вариант  $Q^{n+1}=0$ , так и  $Q^{n+1}=1$ . Комбинация  $RS=11$  не должна возникать при работе схемы и поэтому обозначена в табл. 14 крестиком.

Заполнив карту Карно для *RS*-триггера (рис. 29) и доопределив крестики, исходя из условия минимизации выражения для  $Q^{n+1}$ , запишем характеристическое уравнение в виде

$$Q^{n+1} = [S + \bar{R}Q]^n.$$



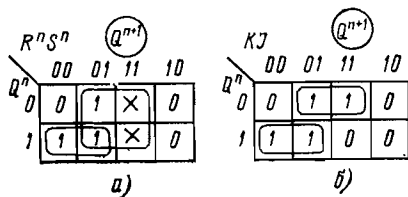


Рис. 29. Карты Карно для характеристических уравнений триггеров  $RS$  ( $a$ ) и  $JK$ -типов ( $b$ ).

Таблица 14

Такт $n$		Такт $n+1$
$R$	$S$	$Q^{n+1}$
0	0	$Q^n$
0	1	1
1	0	0
1	1	X

**Синхронный  $JK$ -триггер.** Триггер этого типа является усовершенствованным вариантом синхронного двухвходового триггера (табл. 15)

Как видно из табл. 15, в отличие от  $RS$ -триггера состояние  $J=1, K=1$  является допустимым. Заполнив карту Карно и выполнив объединение клеток, занятых 1 (рис. 29), получим минимизированное выражение для характеристического уравнения  $JK$ -триггера:

$$Q^{n+1} = [J\bar{Q} + RQ]^n.$$

Таблица 15

Такт $n$		Такт $n+1$
$J$	$K$	$Q^{n+1}$
0	0	$Q^n$
0	1	0
1	0	1
1	1	$\bar{Q}^n$

**Синхронный  $DV$ -триггер.** Триггер такого типа является модификацией  $D$ -триггера и имеет два логических входа ( $D$  и  $V$ ). Функционирование устройства описывается табл. 16.

Характеристическое уравнение триггера  $DV$ -типа имеет вид:

$$Q^{n+1} = Q^n \bar{V} + DV.$$

Таблица 16

Такт $n$		Такт $n+1$
$V$	$D$	$Q^{n+1}$
0	0	$Q^n$
0	1	$Q^n$
1	0	0
1	1	1

## ЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ ТРИГГЕРНЫХ СХЕМ

Применение методики логического проектирования рассмотрим на примере синтеза одноходового  $D$ -триггера из элементов комбинационного типа.

**Этап 1. Словесное описание.** Будем считать, что последовательностная схема  $D$ -триггера, функционирование которого описывается табл. 12, изменяет свое состояние, т. е. значение переменной  $Q$ , после изменения сигнала на входе синхронизации  $C_p$  от значения  $C_p=0$  к  $C_p=1$ . Обратный переход от  $C_p=1$  к  $C_p=0$  не вызывает изменения  $Q$ . Таким образом, проектируемый  $D$ -триггер *управляется положительным перепадом тактового сигнала*.

**Этап 2. Составление первичной таблицы переходов (этап абстрактного синтеза).** На основе словесного описания составляется первичная таблица переходов (табл. 17). Перечисление возможных комбинаций значений входных переменных ( $C_p, D$ ) будем вести

Таблица 17

$C_p D$				$Q$	Номера строк
00	01	11	10		
(1)	(2)	(3)	(4)	0	I
				0	II
				0	III
				0	IV
(5)	(6)	(7)	(8)	1	V
				1	VI
				1	VII
				1	VIII

Таблица 18

$C_p D$				$Q$
00	01	11	10	
(1)	2 (2)	(3)	4 (4)	0
1				0
1				0
1				0
(5)	6 (6)	7 (7)	— 8 (8)	1
				1
				1
5				1

в последовательности 00, 01, 11, 10, что соответствует цифрам 0, 1, 2, 3 в коде Грея (см. табл. 8). Каждая клетка таблицы отвечает определенной комбинации переменных  $C_p, D, Q$ . Всего этих комбинаций будет восемь; каждой из них поставим в соответствие одно устойчивое состояние. Перенумеруем устойчивые состояния

(в произвольном порядке) и расположим их в таблице так, чтобы в каждой строке оказалось по одному устойчивому состоянию, а сами устойчивые состояния были расположены по диагонали.

В табл. 17 следует показать переходы проектируемого устройства из одного устойчивого состояния в другое. Для этого в клетки таблицы в соответствии со словесным описанием работы  $D$ -триггера впишем еще ряд состояний, которые считаем неустойчивыми. В табл. 18 неустойчивые переходы отмечены теми же цифрами, что и соответствующие им устойчивые переходы, но не заключены в скобки.

В тех случаях, когда переменная  $C_p$  меняется от 0 до 1 и одновременно происходит изменение  $D$ , точно определить конечное состояние  $Q^{n+1}$  не представляется возможным. Чтобы обеспечить нормальное функционирование цепи, такие переходы следует запретить, в табл. 19 они обозначены крестиками.

Т а б л и ц а 19

$C_p D$				$Q$
00	01	11	10	
(1)	2	×	4	0
1	(2)	7	×	0
1	2	(3)	4	0
1	2	3	(4)	0
(5)	6	×	4	1
5	(6)	7	×	1
5	6	(7)	×	1
5	6	7	(8)	1

**Этап 3. Составление сокращенной таблицы переходов. Кодировка внутренних состояний.** Как видно из заполненной первичной таблицы переходов (табл. 19), при одинаковых значениях выходной величины  $Q$  отдельные строки могут отличаться между собой. Эти различия обусловлены тем, что в пределах одного столбца при смене строк меняется устойчивость одного и того же состояния или встречаются недоопределенные состояния. Такие строки можно объединить. Например, можно объединить строки (1), (3), (4) или (1), (2) и (3), (4) и т. д., а также (6), (7), (8), или (5), (6), или (6), (7), (8) (табл. 20).

Т а б л и ц а 20

Кодировка внутреннего состояния		$C_p D$				$Q$	Номера строк первичной таблицы
$x$	$y$	00	01	11	10		
0	0	(1)	2	(3)	(4)	0	I, III, IV
0	1	1	(2)	7	×	0	
1	1	5	(6)	(7)	(8)	1	VI, VII, VIII
1	0	(5)	6	×	4	1	

Из табл. 20 видно, что сжатая таблица переходов состоит из четырех строк. Введем выходные переменные  $X, Y$ , причем для простоты положим  $X=Q$ . Внутренние состояния закодируем значениями переменных  $x, y$ . В обобщенной структуре последовательной цепи с обратной связью (рис. 30), осуществляемой через элементы задержки, устойчивое состояние имеет место лишь при

$$x=X; y=Y.$$

Если эти условия не соблюдены, равновесие нарушается и в схеме происходят переходные процессы.

Проведем кодировку внутренних состояний так, как показано в табл. 20.

Переход к таблице возбуждений (табл. 21) происходит путем замены в сжатой таблице переходов (табл. 20) арабских цифр, соответствующих устойчивым состояниям (в скобках), на коды  $x, y$

Таблица 21

Внутренние состояния $x, y$	$CpD$			
	Состояния внешних входов			
	00	01	11	10
00	00	01	00	00
01	00	01	11	××
11	10	11	11	11
10	10	11	××	00

$y$  их строки. Неустойчивые состояния помечаются кодами тех строк, где расположены одноименные устойчивые состояния. Полученная таким образом таблица возбуждений (табл. 21) содержит значения выходных переменных  $X=Q, Y$  в зависимости от  $D, C_p$  и значений внутренних переменных  $x, y$ .

Этап 4. Получение логических выражений выходных функций. Значения  $x, y$  из таблицы 21 переносим в соответствующие клетки карт Карно (рис. 31). Крестиками на картах обозначены неопределенные (избыточные) состояния. Доопределение этих состояний единицами выполнено на рис. 31 таким образом, что выражения для  $X$  и  $Y$  имеют симметричный вид. Объединив клетки, занятые (рис. 21), получим минимизированные логические выражения для триггера  $D$ -типа:

$$X = x(\bar{C}_p + y) + C_p y;$$

$$Y = D(\bar{C}_p + y) + C_p y,$$

причем согласно обобщенной схеме (рис. 30)

$$X = x = Q;$$

$$Y = y.$$

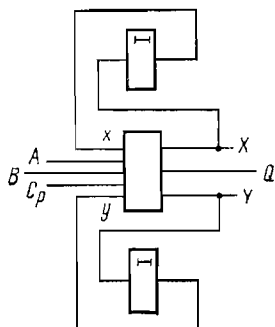


Рис. 30. Последовательная цепь, представленная в виде структуры с обратными связями, содержащими элементы задержки.

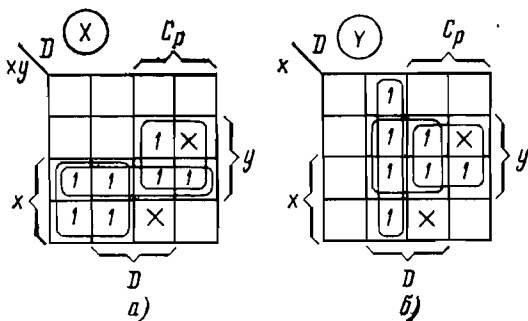


Рис. 31. Карты Карно для синтеза триггера  $D$ -типа.

**Этап 5. Симметрирование структуры.** Путем преобразований системы полученных выражений найдем такую их форму, чтобы получившаяся в результате синтеза структура триггера была симметричной. Для этого рассмотрим укрупненную симметричную структурную схему  $D$ -триггера (рис. 32), в которую входят две бистабильные ячейки.

Предположим, что управляющая бистабильная ячейка построена на логических элементах ИЛИ-НЕ, тогда ее функционирование отвечает формулам

$$Y' = \overline{f_3 + y}; \quad Y = \overline{f_4 + y'}.$$

Из этих выражений, учитывая равенство  $Y' = \overline{y} = \overline{Y}$ , получаем:

$$Y = \overline{f_4 + \overline{f_3 + y}};$$

$$\overline{Y} = f_4 + \overline{f_3 + y}.$$

Управляющая бистабильная ячейка должна реализовать одну из полученных на этапе 4 функций триггера  $Y$  и обеспечить реализацию внутреннего состояния  $y = Y$ . Обратившись к картам Карно (рис. 33), отвечающим полученному на этапе 4 выражению для функции  $Y$  и ее инверсии  $\overline{Y}$ , получим путем объединения клеток, занятых 1:

$$\overline{Y} = \overline{D}C_p + (C_p + \overline{D})\overline{y}.$$

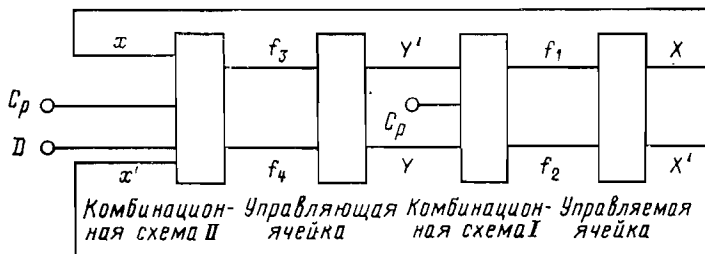


Рис. 32. Симметричная структурная схема триггера с управляющей и управляемой бистабильными ячейками.

Из сравнения двух выражений, полученных для функции  $Y$ , находим:

$$\begin{aligned} f_3 &= C_p + \overline{D} = \overline{C_p}D; \\ f_4 &= \overline{C_p} + D = C_p\overline{D}. \end{aligned}$$

Функции  $f_3$  и  $f_4$  симметричны относительно переменной  $D$  и тактового входа  $C_p$  (оси симметрии).

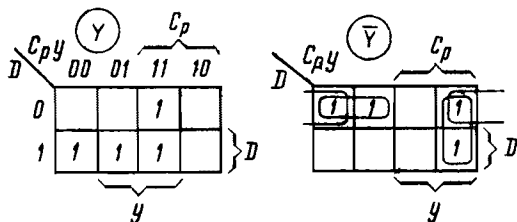


Рис. 33. Карты Карно для представления функций  $Y$  и  $\overline{Y}$  в симметричном виде.

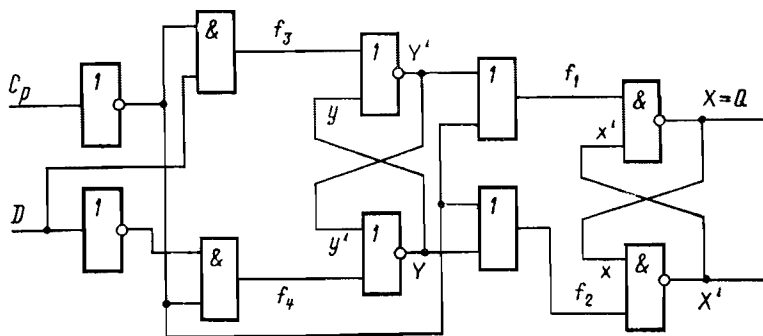


Рис. 34. Результат синтеза — симметричная структура синхронного  $D$ -триггера.

Далее следует найти функции  $f_1$  и  $f_2$ . Предположим, что управляемая бистабильная ячейка построена на логических элементах И-НЕ. Тогда ее функционирование отвечает логическому выражению

$$X = f_1(\overline{f_2}x); \quad X' = \overline{f_2}x,$$

где  $x' = X'$ .

Это выражение рассмотрим совместно с полученным выше выражением для выходной функции  $X = Q$  триггера

$$X = x(\overline{C_p} + y) + C_p y,$$

преобразовав которое, получим:

$$\overline{X} = \overline{C_p} \overline{[(\overline{C_p} + y)x]}.$$

Из сравнения выражений для  $X$  находим

$$f_2 = \bar{c}_p + y; \quad f_1 = \bar{c}_p + \bar{y}.$$

Функции  $f_1$  и  $f_2$  симметричны относительно переменной  $y$  и тактового входа  $\bar{c}_p$  (оси симметрии). Симметричная структура синхронного  $D$ -триггера изображена на рис. 34.

## ЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ ПОСЛЕДОВАТЕЛЬНОСТНЫХ ЦИФРОВЫХ ЦЕПЕЙ

Методику логического проектирования различных последовательностных цифровых цепей (счетчиков, регистров и др.) рассмотрим на следующем примере.

Пусть необходимо спроектировать *двоично-десятичный счетчик* — устройство, выдающее последовательность двоичных эквивалентов десятичных чисел от 0 до 9. Для описания такого устройства (субсистемы), реализуемого на основе триггеров, можно использовать направленный граф (рис. 35,а). В вершинах графа помещены значения четырех двоичных разрядов  $ABCD$  проектируемого устройства. Десять состояний счетчика закодировано двоичными числами, соответствующими четырем разрядам  $ABCD$  обычного бинарного кода прямого замещения (рис. 35,б—д). Возле каждой вершины помещены *разностные символы*  $A_q, B_q, C_q, D_q$ , которые определяют переход соответствующего разряда в следующее состояние: символ  $\alpha$  обозначает переход от 0 к 1, символ  $\beta$  — переход от 1 к 0, символы 0 и 1 — сохранение соответственно 0 и 1. Направление перехода помечено стрелкой. Шесть состояний двоичных разрядов, соответствующих десятичным числам с 10 по 15, являются *избыточными*. На рис. 35,а эти состояния помечены пунктиром.

**Прикладные уравнения субсистемы.** Определенные графом (рис. 35,а) булевы функции  $A = f(ABCD), B_q = f(ABCD), C_q = f(ABCD), D_q = f(ABCD)$  называются *прикладными уравнениями устройства*. Прикладные уравнения полностью определяют функционирование субсистемы, показывая значения (и переходы) всех выходных функций в любой момент времени. Для проектируемого устройства соответствующие прикладные уравнения нанесены на карты минтермов (рис. 35,б—д), избыточные комбинации на картах помечены крестиками. Для составления логической структуры проектируемого устройства необходимо выбрать тип триггеров, на базе которых оно будет построено. Далее следует совместно решить прикладные уравнения устройства и характеристические уравнения применяемых триггеров. В результате решения получим логические выражения, определяющие структуру проектируемого последовательностного устройства на выбранном типе триггеров.

**Словари для совместного решения прикладных и характеристических уравнений.** Методику составления одного из таких словарей покажем на примере характеристического уравнения триггера  $JK$ -типа:  $Q^{n+1} = [J\bar{Q} + KQ]^n$ , приведенного в табл. 15. На основе табл. 15 построена *таблица переходов*  $JK$ -триггера, показанная на рис. 36,а. Множество значений  $f_q$  в этой таблице символизирует переходы переменной  $Q$  и может служить аргументом, определяющим функции входов  $J$  и  $K$ . Из таблицы непосредственно следует *словарь* (рис. 36,а) преобразования карт Карно для прикладных уравнений в карты уравнений для  $J$  и  $K$ -входов триггеров проектируемого устройства. Аналогичным образом могут быть получены

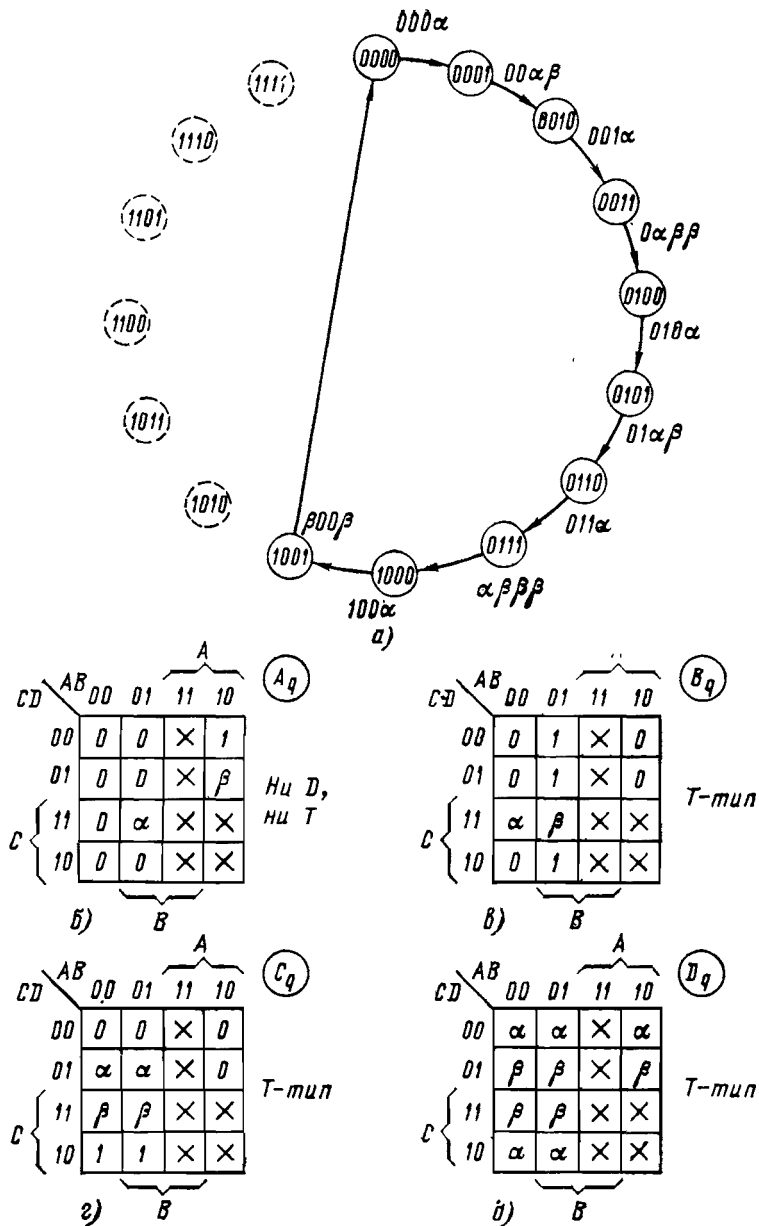


Рис. 35. Граф, определяющий последовательность смены состояний последовательного устройства (а) и карты Карно, определяющие прикладные уравнения данного устройства (б—д).



Таблица переходов

Q	J	K	Q <sup>n+1</sup>	f <sub>q</sub>
0	0	0	0	0
0	0	1	0	0
0	1	0	1	α
0	1	1	1	α
1	0	0	1	1
1	0	1	0	β
1	1	0	1	1
1	1	1	0	β

Переходы-  
аргументы  
функций J, K

f <sub>q</sub>	J	K
0	0	0,1
1	0,1	0
α	1	0,1
β	0,1	1

Словарь

f <sub>q</sub>	J	K
0	0	×
1	×	0
α	1	×
β	×	1

а)

Переходы	Характеристические базисы							
			RS		JK		DV	
f <sub>q</sub>	D	T	S	R	J	K	D	V
0	0	0	0	×	0	×	×	0
1	1	0	×	0	×	0	×	0
α	1	1	1	0	1	×	1	1
β	0	1	0	1	×	1	0	1

б)

Тип прикладного уравнения	Расположение символов на разностных картах минтермов	Примеры
D	Символы 0 и β (I группа), 1 и α (II группа) объединяются и минимизируются, склеиванием "внутри каждой из групп"	
T	Символы 0 и 1 (I группа), α и β (II группа) объединяются и минимизируются, склеиванием "внутри каждой из групп"	

в)

Рис. 36. Получение и использование словарей для перехода от прикладных уравнений к управлениям входов.

а — получение словаря JK-триггера; б — словари D, T, RS, JK, DV-триггеров; в — классификатор для прикладных уравнений,

словарные правила преобразования разностных карт минтермов для триггеров в других известных базисах ( $RS$ ,  $T$  и  $D$ -типов) (рис. 36,б).

**Классификация прикладных уравнений.** Рассмотрев словари на рис. 36,б, нетрудно определить, при каком сочетании разностных символов прикладных уравнений уравнения входов будут получаться наиболее простыми. Например, если на разностных картах прикладных уравнений символы 0 и  $\beta$ , с одной стороны, и 1 и  $\alpha$ , с другой, образуют компактные группы, т. е. допускают минимизацию путем объединения каждой из этих групп, то при использовании триггеров  $D$ -типа уравнения входов окажутся наиболее про-

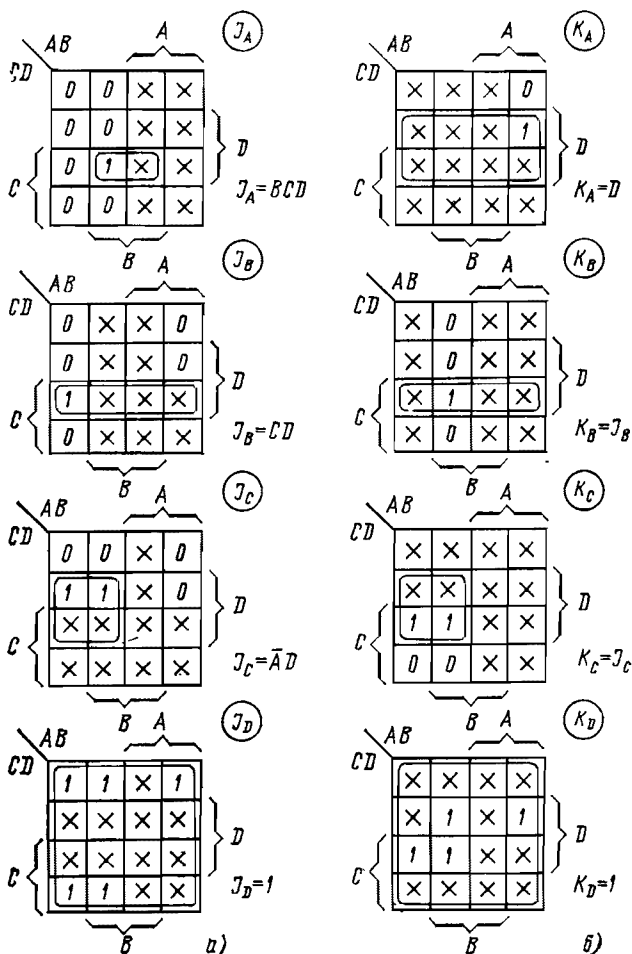


Рис. 37. Карты Карно для уравнений входов проектируемого счетчика на  $JK$ -триггерах.

стями. В этом случае можно говорить о совместности прикладных уравнений с триггерами  $D$ -типа.

Продолжая аналогичные рассуждения, можно оценить совместность прикладных уравнений с триггерами  $T$ -типа. Критерии классификации прикладных уравнений приведены на рис. 36,в.

**Уравнения входов двоично-десятичного счетчика.** Пользуясь словарями (рис. 36,б) и прикладными уравнениями счетчика, заданными в виде разностных карт (рис. 35), получим уравнения входов для случая использования  $JK$  (рис. 37),  $D$  (рис. 38,а) и  $T$ -триггеров (рис. 38,б).

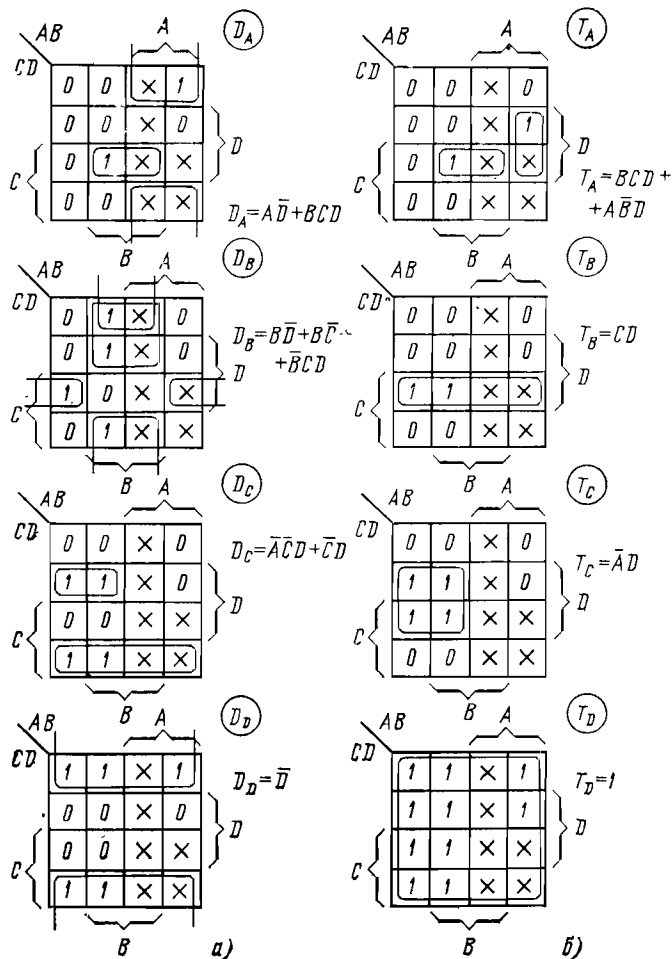


Рис. 38. Карты Карно для уравнений входов проектируемого счетчика на триггерах  $D$ -типа (а) и  $T$ -типа (б).

**Реализация структуры счетчика.** Рассматривая полученные уравнения входов (рис. 37, 38), нетрудно сделать вывод, что наиболее простая реализация, требующая наименьшего числа логических элементов и межсоединений, обеспечивается при использовании *JK*-триггеров.

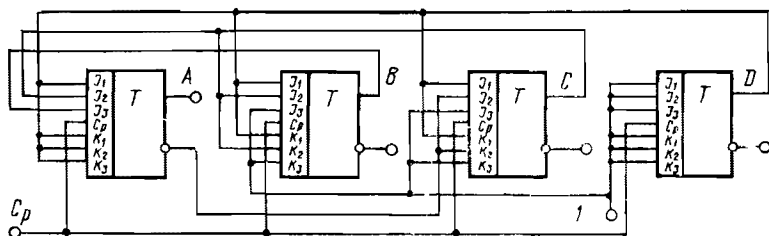


Рис. 39. Структура спроектированного счетчика на *JK*-триггерах.

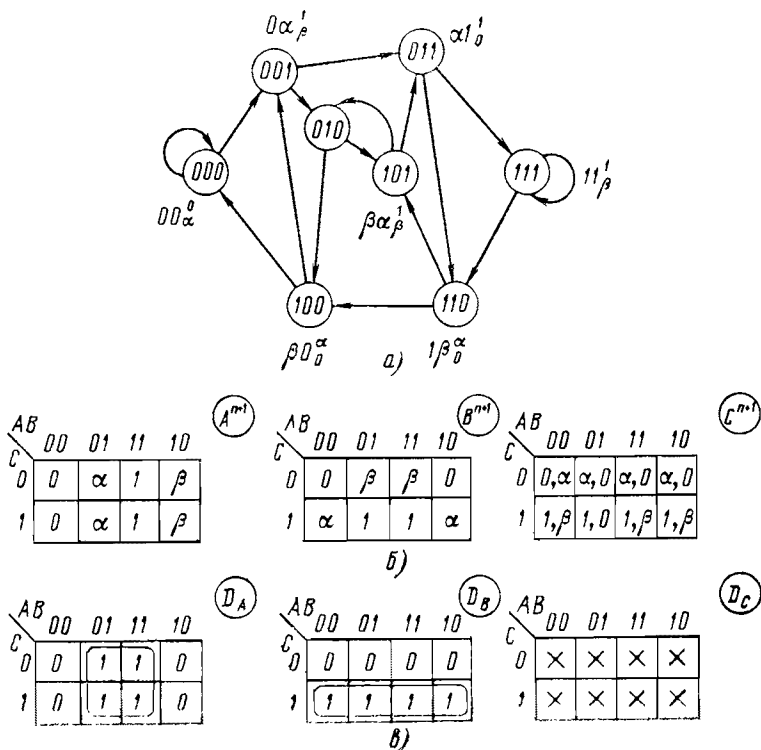


Рис. 40. Граф состояний простого регистра (а), карты прикладных уравнений (б) и уравнений входов для *D*-триггеров (в).

Современные  $JK$ -триггеры, выпускаемые в виде ИС, обычно имеют конъюнктивные логические элементы на входах:  $J_1 J_2 J_3 = J$ ,  $K_1 K_2 K_3 = K$ . При использовании таких триггеров получаем структуру двоично-десятичного счетчика, показанную на рис. 39.

**Простой сдвиговый регистр.** Рассмотрим трехразрядный регистр, в котором хранится число  $ABC$ . При поступлении сигнала синхронизации  $C_p$  в крайнюю ячейку регистра (в ячейку  $C$ ) записывается символ 0 или 1 в зависимости от логического состояния входа. Одновременно ранее записанная в регистр информация сдвигается (будем предполагать, что справа налево).

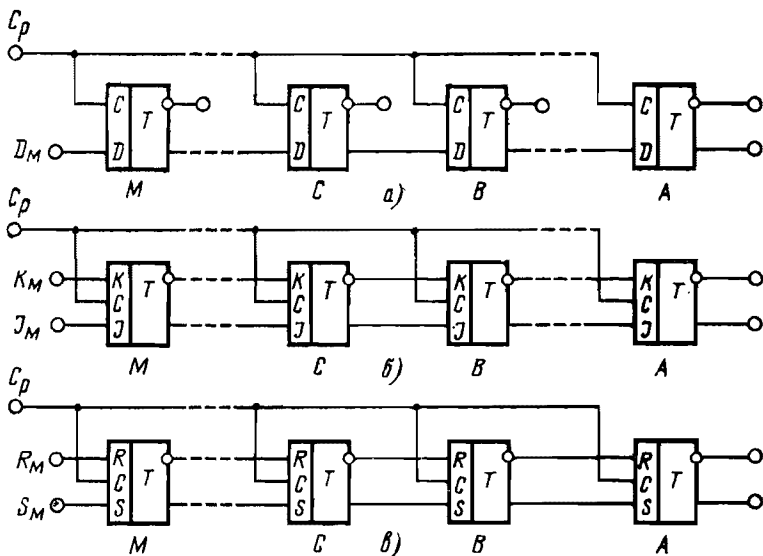


Рис. 41. Структура последовательного сдвигового регистра на  $D$ -триггерах (а), на  $JK$ -триггерах (б), на  $RS$ -триггерах (в).

Возможные состояния простого трехразрядного регистра сдвига изображены на рис. 40,а в виде графа, в котором стрелки обозначают направления переходов. В соответствии с этими стрелками рядом с вершинами графа на рис. 40,а нанесены разностные символы, определяющие переходы выходных функций  $A^{n+1}$ ,  $B^{n+1}$ ,  $C^{n+1}$ . Эти разностные символы перенесены на карты прикладных уравнений для  $A^{n+1}$ ,  $B^{n+1}$ ,  $C^{n+1}$  (рис. 40,б).

Выбрав для реализации устройства  $D$ -триггеры, с помощью словарей (рис. 36,б) получим карты для уравнений входов (рис. 40,в), из которых найдем:

$$D_A = B; D_B = C; D_C = X,$$

(т. е. любое входное число).

Соответствующая полученным выражениям структура регистра сдвига показана на рис. 41а, где число разрядов можно произ-

вольно увеличивать, наращивая разрядность регистра. Используя такую же методику, можно построить регистры на других типах триггеров: *JK* (рис. 41,б), *RS* (рис. 41,в) и др.

**Программируемые делители частоты (счетчики) на основе простого сдвигового регистра.** В качестве примера рассмотрим программируемый счетчик с целочисленным коэффициентом деления, изменяемым от 2 до 8. Для того чтобы перекрыть такой диапазон коэффициентов деления, рассмотрим последовательность заполнения простого регистра сдвига единицами и нулями, в результате

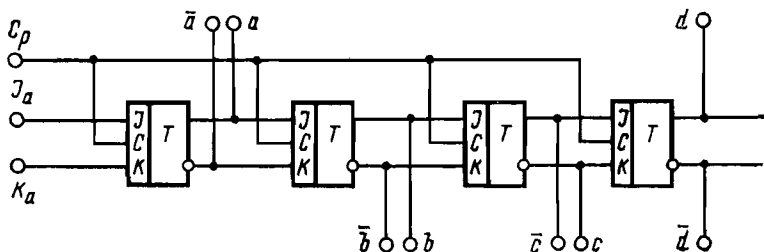


Рис. 42. Структура четырехразрядного простого регистра сдвига, являющегося основой для построения программируемых счетчиков.

чего образуется так называемый **код Джонсона**. Используем четырехразрядный регистр сдвига на *JK*-триггерах (рис. 42) с заполнением слева направо (см. первые четыре столбца табл. 22).

Семь правых столбцов табл. 22 отображают последовательность смены состояний разрядами счетчика при различных коэффициентах деления.

Таблица 22

<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	:8	:7	:6	:5	:4	:3	:2
0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	1	0	0	2	2	2	2	2	<i>H</i>	×
1	1	1	0	3	3	3	<i>H</i>	×	<i>H</i>	×
1	1	1	1	4	<i>H</i>	×	<i>H</i>	×	<i>H</i>	×
0	1	1	1	5	4	4	3	3	2	×
0	0	1	1	6	5	5	4	×	×	×
0	0	0	1	7	6	×	×	×	×	×

В счетчике на :8, как видно из табл. 22, используются все строчки, образующие четырехразрядный код Джонсона.

В счетчике на:7 состояние *ABCD*=1111 принято неиспользуемым (обозначено буквой *H*). Это состояние счетчик пропускает и из состояния *ABCD*=1110 переходит сразу к *ABCD*=0111.

В счетчике на :6 используются три разряда *ABC* из четырех. При этом состояния, обозначенные крестиком, как безразличные

( $ABCD=1111$  и  $ABCD=0001$ ) оказываются тождественными состояниям  $ABCD=1110$  и  $ABCD=0000$ .

Аналогично заполнены остальные правые столбцы табл. 22, на основании которой можно составить таблицы для разностных символов прикладных уравнений счетчиков с различными коэффициентами деления. В качестве примера в табл. 23 приведено построение счетчиков на 8 и на 7.

Таблица 23

Аргументы				Разностные символы							
				Счетчик на 8				Счетчик на 7			
<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>A<sub>q</sub></i>	<i>B<sub>q</sub></i>	<i>C<sub>q</sub></i>	<i>D<sub>q</sub></i>	<i>A<sub>q</sub></i>	<i>B<sub>q</sub></i>	<i>C<sub>q</sub></i>	<i>D<sub>q</sub></i>
0	0	0	0	$\alpha$	0	0	0	$\alpha$	0	0	0
1	0	0	0	1	$\alpha$	0	0	1	$\alpha$	0	0
1	1	0	0	1	1	$\alpha$	0	1	1	$\alpha$	0
1	1	1	0	1	1	1	$\alpha$	$\beta$	1	1	$\alpha$
1	1	1	1	$\beta$	1	1	1	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>
0	1	1	1	0	$\beta$	1	1	0	$\beta$	1	1
0	0	1	1	0	0	$\beta$	1	0	0	$\beta$	1
0	0	0	1	0	0	0	$\beta$	0	0	0	1

Перейдя к разностным картам Карно, затем с помощью словаря для JK-триггера — к картам уравнений входов и доопределив эти карты, получим:

для счетчика на 8

$$J_a = \bar{d}; K_a = d, J_b = a, K_b = \bar{a}; J_c = b;$$

$$K_c = \bar{b}; J_d = c, K_d = \bar{c};$$

для счетчика на 7

$$J_a = \bar{d}, K_a = c; J_b = a, K_b = \bar{a}, J_c = b;$$

$$K_c = \bar{b}, J_d = c; K_d = \bar{c};$$

для счетчика на 6

$$J_a = \bar{c}; K_a = c, J_b = a; K_b = \bar{a}; J_c = b; K_c = \bar{b};$$

для счетчика на 5

$$J_a = \bar{c}; K_a = J_c = b; K_c = \bar{b}; J_b = a; K_b = \bar{a};$$

для счетчика на 4

$$J_a = \bar{b}; K_a = b; J_b = a; K_b = \bar{a};$$

для счетчика на 3

$$J_a = \bar{b}; K_a = J_b = a; K_b = a;$$

для счетчика на 2

$$J_a = \bar{a}; K_a = a.$$

Программирование счетчика на коэффициент деления от 2 до 8 производится коммутацией внешних выводов структуры (рис. 42) согласно табл. 24.

Таблица 24

Коэффициент деления	Соединяемые выводы	Выходы счетчика	Неиспользуемые ячейки
2	$J_a = \bar{a}; K_a = a$	$a, \bar{a}$	$B, C, D$
3	$J_a = \bar{b}; K_a = a$	$b, \bar{b}$	$C, D$
4	$J_a = \bar{b}; K_a = b$	$b, \bar{b}$	$C, D$
5	$J_a = \bar{c}; K_a = b$	$c, \bar{c}$	$D$
6	$J_a = \bar{c}; K_a = a$	$c, \bar{c}$	$D$
7	$J_a = \bar{d}; K_a = a$	$d, \bar{d}$	—
8	$J_a = \bar{d}; K_a = d$	$d, \bar{d}$	—

## ОПЕРАЦИОННЫЕ АВТОМАТЫ ИНТЕГРАЛЬНЫХ МИКРОПРОЦЕССОРОВ

Операционные автоматы занимают центральное место в цифровых структурах БИС микропроцессорного поколения. В состав операционных автоматов входят: *комбинационная часть* (арифметико-логическое устройство—АЛУ), выполняющая арифметические и логические микрооперации над двумя многоразрядными словами, и *последовательная часть*, осуществляющая микрооперации хранения, сдвига, счета и передачи информации.

Функциональные возможности операционных автоматов определяются в основном их комбинационной частью — АЛУ.

**Многоразрядные сумматоры.** На рис. 43 представлена структура подсистемы 4-разрядного параллельного комбинационного сумматора. Перенос в следующий суммирующий разряд такого устройства формируется на выходе предыдущего разряда сумматора.

**Повышение эффективности микрооперации сложения в многоразрядных сумматорах путем сквозного переноса.** На рис. 43 видно, что быстрдействие обычного  $n$ -разрядного параллельного сумматора определяется процессом

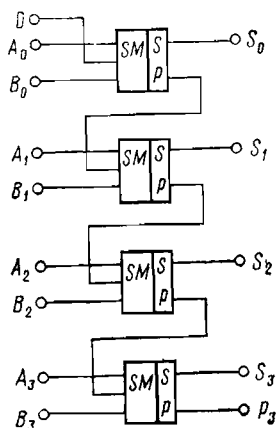


Рис. 43. Структура четырехразрядного параллельно комбинационного сумматора.



распространения сигнала переноса в старший бит (СБ) через цепочку из  $n$  последовательно включенных одноразрядных сумматоров:

$$P_n = A_n B_n + (A_n + B_n) P_{n-1} = G_n + T_n P_{n-1};$$

$$P_{n-1} = A_{n-1} B_{n-1} + (A_{n-1} + B_{n-1}) P_{n-2} = G_{n-1} + T_{n-1} P_{n-2};$$

.....

$$P_i = A_i B_i + (A_i + B_i) P_{i-1} = G_i + T_i P_{i-1};$$

.....

$$P_1 = A_1 B_1 + (A_1 + B_1) P_0 = G_1 + T_1 P_0,$$

где

$$G_i = A_i B_i; \quad T_i = A_i + B_i.$$

Сопоставляя между собой приведенные выше выражения, получаем систему рекуррентных формул для функций переноса  $P_{i+1}$ ,  $P_{i+2}$  и т. д.:

$$P_{i+1} = G_{i+1} + T_{i+1} P_i = G_{i+1} + T_{i+1} G_i + T_{i+1} T_i P_{i-1};$$

$$P_{i+2} = G_{i+2} + T_{i+2} P_{i+1} = G_{i+2} + T_{i+2} G_{i+1} + \\ + T_{i+2} T_{i+1} G_i + T_{i+2} T_{i+1} T_i P_{i-1}.$$

Аналогично

$$P_i = G_i + T_i G_{i-1} + \dots + T_i T_{i-1} \dots T_1 P_{вх},$$

где  $P_{вх}$  — сигнал внешнего переноса, подаваемый в младший бит (МБ) многоразрядного сумматора.

Таким образом, любая функция переноса может быть выражена непосредственно через  $A_n, B_n, \dots, A_i B_i, \dots, P_{вх}$  и образована с помощью комбинационной схемы, вносящей приблизительно такую же задержку распространения, как и одноразрядный сумматор.

**Представление набора микроопераций АЛУ в форме обобщенной микрооперации сложения.** Представим полученные ранее формулы микрооперации сложения двух переменных  $A_i$  и  $B_i$

$$D_i = A_i \oplus B_i; \quad S_i = D_i \oplus P_{i-1}$$

в обобщенном виде некоторого множества арифметических микроопераций:

$$\mathcal{F}_{ai} = \{F'_{ai}, F''_{ai}, \dots\}.$$

Каждая из арифметических микроопераций  $F'_{ai}$  выражается функцией

$$F'_{ai} = F'_{li} \oplus P_{i-1},$$

где  $F'_{li} = F'_{li}(A_i B_i)$  — одна из 16 логических функций двух переменных.

Частным примером реализации упомянутого выше обобщения может являться выполнение вычитания с помощью сумматора, для чего вместо отрицательных чисел используют их дополнения. Число  $B^*$  является дополнением числа  $B$  до основания  $r$ , если алгебраическая сумма  $B$  и  $B^*$  равна  $r^n$ , где  $r$  — основание кода,  $n$  — число разрядов, отведенных для представления числа  $B$ .

**Примеры.** Если  $n=3$ ,  $r=10$ , то для десятичного числа  $B=845$  дополнение  $B^*_i$  составит:  $B^*_i = 1000 - 845 = 155$ .

В двоичном коде при  $r=2$ ,  $n=4$  для двоичного числа  $B_2=1101$  получим  $B_2^*=2^4-1101$ .

Чтобы получить дополнение, следует заменить двоичные цифры кода числа  $B$  на противоположные цифры и к полученному результату в младший бит прибавить единицу:  $B_2^*=0011$ .

Вычитание двоичных чисел  $(A-B)$ , где  $A=11010$ ,  $B=1101$ , можно заменить сложением  $(A+B^*)$  и вычитанием  $2^n$ , поскольку алгебраическая разность  $A-B=A+(2^n-B)-2^n$ . При  $A=11010$ ,  $B=1101$  и  $n=4$  имеем  $B^*=0011$ ,  $A+B^*=11101$ ,  $A+B^*-2^4=11101-10000=01101$ .

Вычитание  $2^n$  при  $A \geq B$  сводится к отбрасыванию единицы в старшем бите результата.

Арифметико-логическое устройство (АЛУ), выполняющее микрооперации сложения и вычитания, должно, таким образом, реализовать:

$$F'_{ai} = F'_{li} \oplus P_{i-1} = S_i,$$

где

$$F'_{li} = D_i = A_i \oplus B_i \text{ (для сложения)}$$

и

$$F''_{li} = D^*_i = A_i \oplus B^*_i \text{ (для вычитания)}.$$

Функция ускоренного переноса  $P_{i-1} = G_{i-1} + T_{i-1}G_{i-2} + T_{i-1}T_{i-2} \dots T_1P_{\text{вх}}$  была определена нами ранее.

Осуществим дальнейшее расширение числа микроопераций в АЛУ, заменив функцию переноса  $P_{i-1}$  ее обобщенным выражением

$$\mathcal{P}_{i-1} = \mathcal{M} + P_{i-1}.$$

Под  $\mathcal{M}$  понимается булева функция управления, позволяющая при  $\mathcal{M}=1$  образовать еще две дополнительные микрооперации:

$$F'''_{ai} = D_i \oplus 1 = \bar{D}_i = A_i B_i + \bar{A}_i \bar{B}_i;$$

$$F^{IV}_{ai} = D^*_i \oplus 1 = \bar{D}^*_i = \overline{(A_i \oplus B^*_i)}.$$

Спроектируем один разряд более сложного АЛУ, выполняющего микрооперации над двумя многоразрядными числами. По-прежнему в качестве основной берем микрооперацию сложения:

$$F'_{li} = D_i = A_i \oplus B_i; \quad G_i = A_i B_i;$$

$$T_i = A_i + B_i.$$

Выразим теперь булеву функцию  $F'_{li}$  через переменные  $G_i$  и  $T_i$ , для чего составим табл. 25 (см. стр. 57).

Из табл. 25 получим:

$$F_{li} = T_i \bar{G}_i.$$

Обобщение этого выражения  $\mathcal{F}_{li} = \mathcal{F}_i \bar{\mathcal{G}}_i$  с помощью замены  $T_i$ ,  $G_i$  множествами

$$\mathcal{F}_i = \{A_i + B_i, A_i + \bar{B}_i, 1, A_i\};$$

$$\mathcal{G}_i = \{A_i B_i, A_i \bar{B}_i, 0, A_i\}$$

$A_i$	$B_i$	$G_i$	$T_i$	$F_{li}$
0	0	0	0	0
0	1	0	1	1
1	0	0	1	1
1	1	1	1	0
Невозможны		1	0	×

позволяет реализовать все возможные 16 булевых функций переменных  $\mathcal{F}_{li} = \{F'_{li}, F''_{li}, \dots, F^{XVI}_{li}\}$ , в чем нетрудно убедиться проверкой.

Программирование  $\mathcal{F}_{li}$ , т. е. выбор нужных членов из множеств  $\mathcal{F}_i, \mathcal{G}_i$ , будем осуществлять с помощью булевых переменных  $S_0, S_1, S_2$  и  $S_3$  в выражениях

$$\mathcal{G}_i = S_0 A_i B_i + S_1 A_i \bar{B}_i;$$

$$\mathcal{F}_i = A_i + S_2 B_i + S_3 \bar{B}_i.$$

Присоединив  $\mathcal{F}_{ai} = \mathcal{F}_{li} \oplus \mathcal{P}_{i-1}$ , где

$$\mathcal{F}_{li} = \mathcal{F}_i \bar{\mathcal{P}}_i;$$

$$\mathcal{P}_{i-1} = M_{i-1} + \mathcal{P}_{i-1} + \mathcal{F}_{i-1} \mathcal{P}_{i-2} + \dots + \mathcal{F}_{i-1} \mathcal{F}_{i-2} + \dots + \mathcal{F}_1 P_{BX}$$

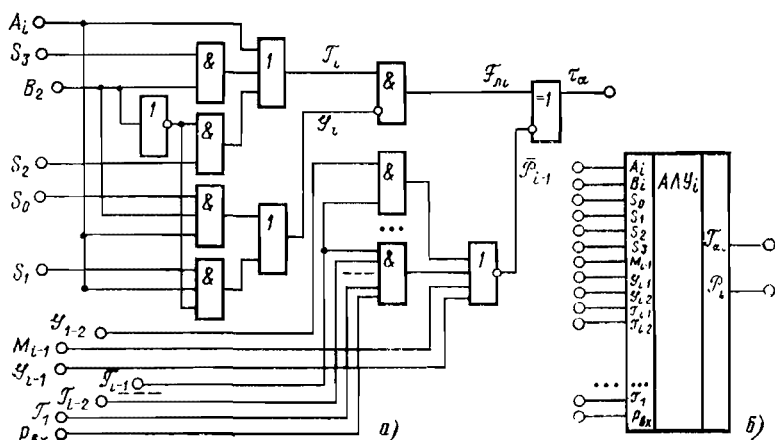


Рис. 44. Структурная схема (а) и условное обозначение (б) разряда АЛУ.

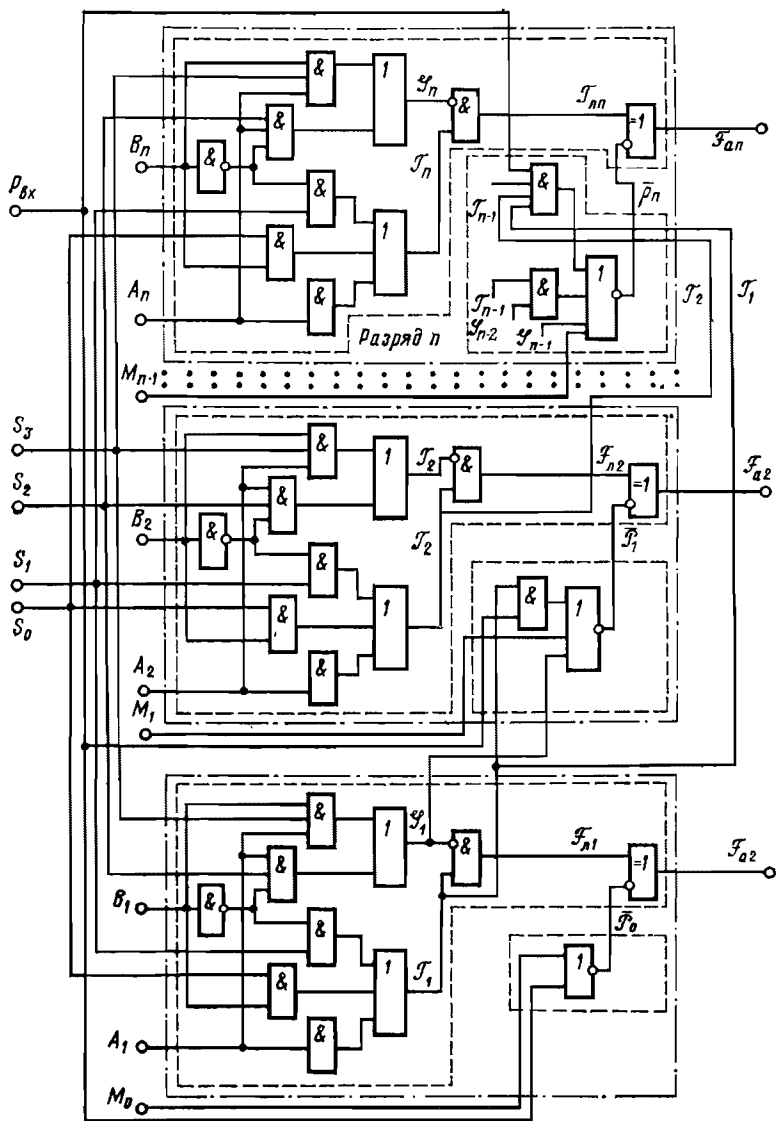


Рис. 45. Структура многоразрядного АЛУ.

получим структурную схему  $i$ -го разряда АЛУ (рис. 44). Многоразрядное АЛУ получается наращиванием числа разрядов (рис. 45) [19].

## БОЛЬШИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ МИКРОПРОЦЕССОРНОГО ПОКОЛЕНИЯ

Структуры современных БИС микропроцессоров (МП) в основном соответствуют структурам процессоров мини-ЭВМ. Операционная часть МП — арифметический логический блок (рис. 46) производит различные операции — преобразования машинных слов. Управляющий блок МП обеспечивает управление ходом вычислений, выборку команд из памяти, их расшифровку в нужную последовательность микроопераций.

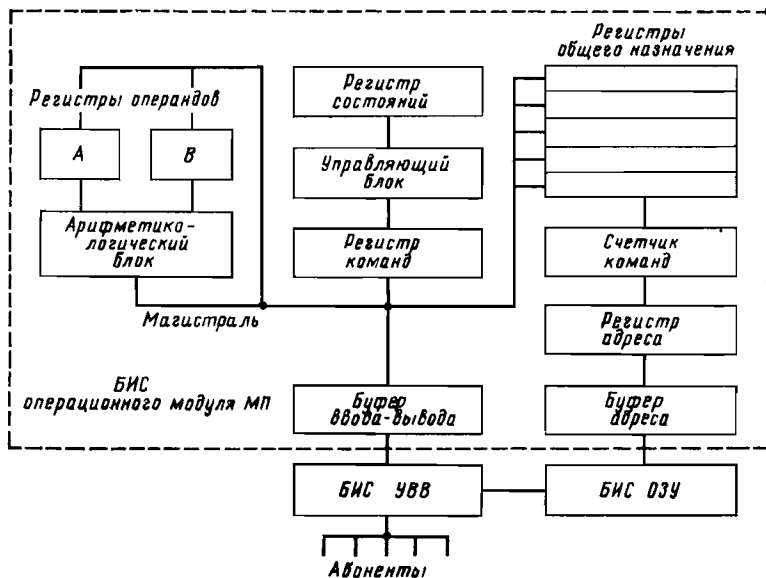


Рис. 46. Структура микропроцессора с фиксированной разрядностью и набором команд.

Типовая структура МП с фиксированной разрядностью (рис. 46) содержит общую магистральную шину для обмена результатами работы блоков МП, передачи адресов и команд.

Регистры общего назначения служат для хранения промежуточной информации, получающейся при вычислениях. Микропроцессор работает совместно с внешними БИС — оперативными запоминающими устройствами (ОЗУ) и устройствами ввода-вывода (УВВ).

Микропроцессоры с фиксированной разрядностью являются специализированными изделиями, в которых набор выполняемых команд ограничен и часто заранее фиксирован.

Расширение областей применения — универсализация МП — достигается путем перехода к структурам с *наращиваемой разрядностью и микропрограммным управлением* и использования быстродействующих логических элементов — схем инжекционной логики (И<sup>2</sup>Л), ТТЛ и ЭСЛ.

Операционное устройство таких МП состоит из наращиваемых операционных модулей (рис. 47) по 2, 4 или 8 разрядов. Каждый операционный модуль включает в себя арифметико-логический блок, регистры общего назначения, дешифратор микрокоманд, цепи пересылки информационных и адресных сигналов и изготавливается в виде отдельной БИС, содержащей сотни и тысячи логических элементов.

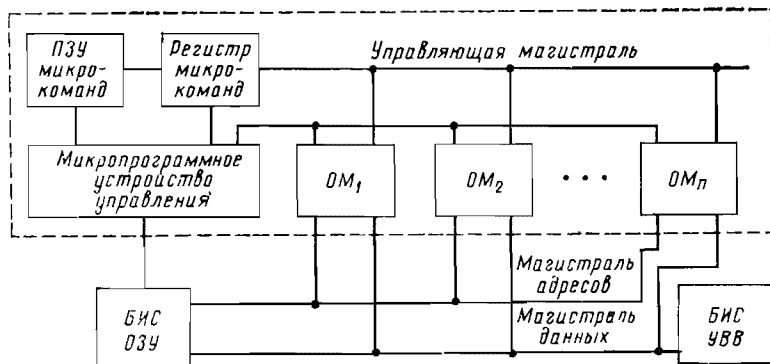


Рис. 47. Микропроцессор с наращиваемой разрядностью и микропрограммным управлением.

Программа работы МП хранится в БИС *постоянного запоминающего устройства (ПЗУ)*, откуда она передается в *микропрограммное устройство управления*, дешифрирующее каждую команду в последовательности микрокоманд из набора, хранимого в ПЗУ микрокоманд.

Выполнение ПЗУ микрокоманд в виде отдельной внешней БИС позволяет в широких пределах менять состав микрокоманд и увеличивать их количество до 256—512, что дает возможность реализовать 80—120 команд, т. е. большую часть набора команд, выполняемых современными ЭВМ. Использование нескольких раздельных магистралей шин (рис. 47) позволяет упростить структуры МП и повысить их быстродействие за счет одновременной передачи информации по нескольким магистралям.

Для увеличения быстродействия МП применяются также структурные приемы одновременного выполнения (совмещения) команд.

БИС ОЗУ для МП могут *наращиваться* до объемов памяти 65 536 байт (524 288 дв. ед.) БИС ПЗУ обычно имеют информационную емкость 512 двадцатичетырехразрядных слов (12 288 дв. ед.). В большинстве МП предусматривается возможность *многоуровневого прерывания* для реализации команд передачи управления и выполнения многократных (до 8) циклов в программе.

## БИС ПОЛУПРОВОДНИКОВЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Эти БИС могут являться составной частью микропроцессорных наборов, а также имеют самостоятельное, весьма широкое применение в различной микроэлектронной аппаратуре. БИС полупроводниковых запоминающих устройств подразделяются на БИС постоянных ЗУ (ПЗУ) или полупостоянных (перепрограммируемых) ПЗУ (ППЗУ), а также БИС оперативной памяти с произвольной записью и выборкой.

**Постоянные запоминающие устройства (ПЗУ).** Рассмотрим незапрограммированную матрицу ИС постоянного запоминающего устройства (рис. 48,а). Программирование ПЗУ - заключается

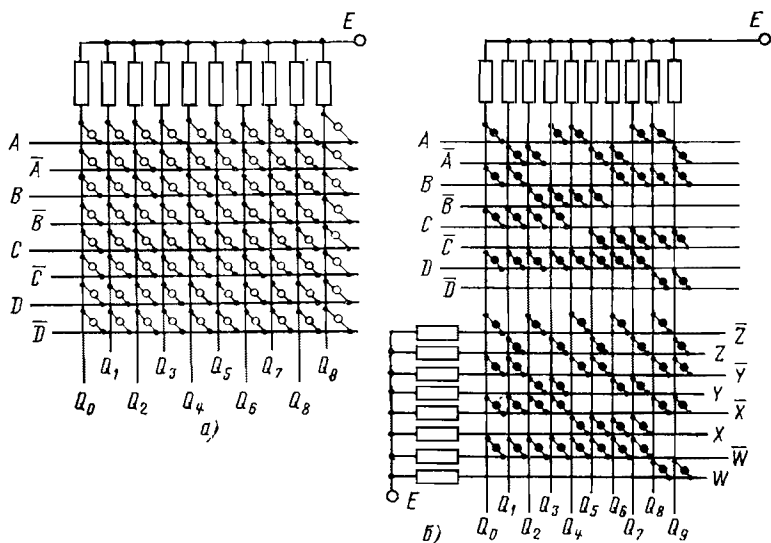


Рис. 48. Программирование постоянных запоминающих устройств. а — незапрограммированная матрица ПЗУ; б — две каскадно соединенные матрицы ПЗУ, запрограммированные в соответствии с табл. 26.

в изъятии тех или иных ячеек ПЗУ, при этом оставшиеся ячейки в зависимости от комбинации входных сигналов (*адресов*) образуют на выходах определенную комбинацию выходных сигналов — *считываемую информацию*. На рис. 48,б (верхняя часть) показано ПЗУ, запрограммированное как неполный дешифратор, преобразующий один из вариантов циклического кода, т с комбинацию входных сигналов  $A, B, C, D$  в десятичные знаки  $Q_0—Q_9$  в соответствии с левой частью табл. 26.

Запрограммировав вторую матрицу в соответствии с правой частью табл. 26 и соединив вторую матрицу с первой, получим *двойной преобразователь кодов*: из циклического в код прямого замещения и десятичный унитарный (рис. 48,б). Программирование

Рис. 49. Точечное начертание программы, заложенной в матрицу ПЗУ на рис. 48,б.

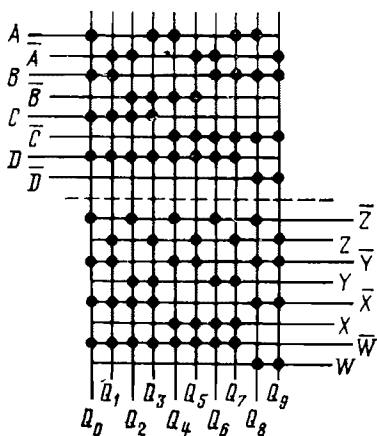
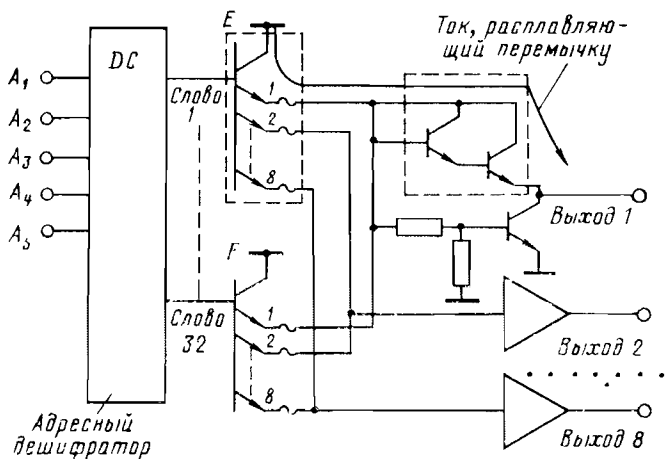
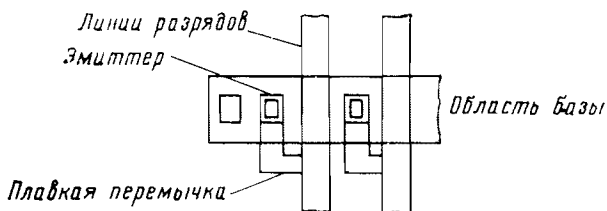


Рис. 50. Запись информации в БИС ПЗУ у потребителя путем программированного испарения плавких межсоединений 1—8 переключки из нихрома.





ПЗУ удобно представлять, используя *точечное* начертание, показанное на рис. 49.

*Технология программирования* на рис. 48 и 49 не отражена. В принципе существует два основных варианта ПЗУ: с записью информации в процессе изготовления и с записью у потребителя. В первом случае в зависимости от записываемой информации изменяется фотошаблон, определяющий рисунок металлических соединений в ИС, т. е. подключение или отключение тех или иных ячеек ПЗУ. Такой способ программирования широко применяется

Таблица 26

A	B	C	D	Q	W	X	Y	Z
1	1	1	1	0	0	0	0	0
0	1	1	1	1	0	0	0	1
0	0	1	1	2	0	0	1	0
1	0	1	1	3	0	0	1	1
1	0	0	1	4	0	1	0	0
0	0	0	1	5	0	1	0	1
0	1	0	1	6	0	1	1	0
1	1	0	1	7	0	1	1	1
1	1	0	0	8	1	0	0	0
0	1	0	0	9	1	0	0	1

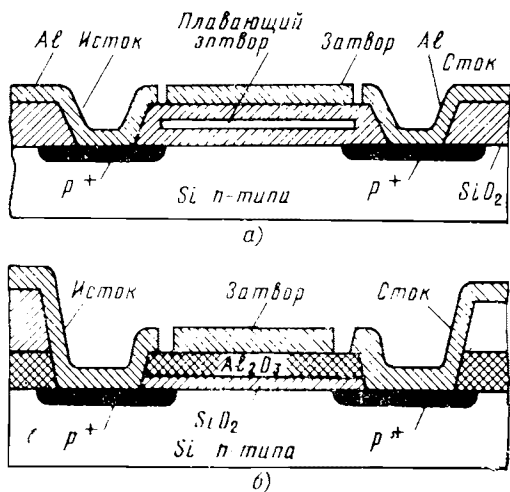


Рис. 51. Элемент перепрограммируемых ПЗУ — МДП-транзистор.

а — с «плавающим» затвором; б — с двухслойным диэлектриком.

в калькуляторах и микро-ЭВМ с фиксированной системой команд. ПЗУ с записью информации у потребителя имеют плавкие межсоединения (рис. 50) и программируются путем подачи на соответствующее соединение значительного тока, вызывающего испарение металла соединения.

**Перепрограммируемые (полупостоянные) ЗУ (ППЗУ).** Эта разновидность полупроводниковых ПЗУ отличается возможностью многократной переписки информации. Для построения ППЗУ применяются МДП-транзисторы с «плавающим» затвором или двухслойным диэлектриком (рис. 51, а, б), обладающие свойством долговременного сохранения включенного или выключенного состояния после подачи на электроды соответствующих импульсов напряжений.

**БИС оперативных ЗУ (ОЗУ).** Существует две основные разновидности полупроводниковых ОЗУ: статические и динамические. В статических ОЗУ для хранения информации применяются бистабильные ячейки. У динамических ОЗУ информация обычно сохраняется на входной емкости (затвор — исток) МДП-транзистора в промежутке между двумя импульсами регенерации, подаваемым для возобновления информации в ячейке.

**Статическое ОЗУ.** Рассмотрим ОЗУ, рассчитанное на запись слов по одной двоичной единице в слове ( $N \times 1$  бит). Это ОЗУ имеет следующие входы и выходы (рис. 52, а):

а) сигнал «Запись/считывание», с помощью которого производится выбор одного из двух основных режимов работы ОЗУ;

б) адресные (входы), число которых зависит от  $N$ ;  $N = 2^r$ ; комбинация сигналов на адресных входах определяет одну из  $N$  ячеек, в которой производится запись или считывание информации.

в) выход числа, который переключается к выходу той ячейки, из которой производится выборка (считывание);

г) вход числа, который подключается к входу той ячейки, в которую производится запись;

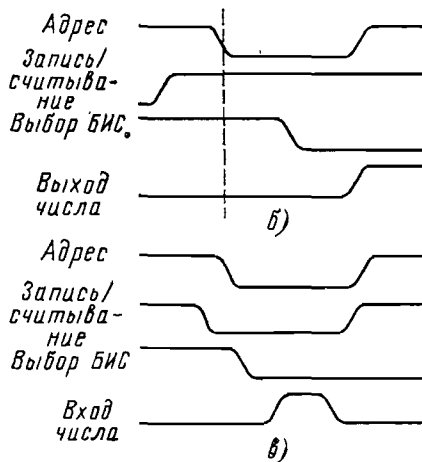
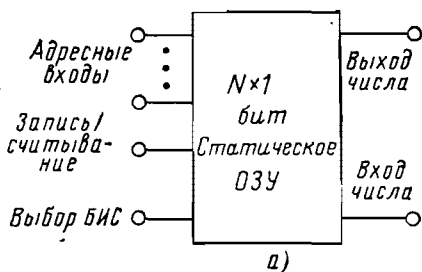


Рис. 52. Организация БИС статического ЗУ (а) и временные диаграммы его работы при считывании (б) и записи (в).

д) выбор БИС, на которой подается сигнал, разрешающий запись или считывание информации в данной БИС.

Со стороны внешних выводов работа статического БИС ОЗУ может описываться как два цикла: считывание и запись.

**Цикл считывания в БИС статического ОЗУ.** Чтобы вывести информацию из нужной ячейки, требуется осуществить следующие операции:

на вход «Запись/считывание» подать сигнал, соответствующий считыванию информации;

на адресные входы подать комбинацию сигналов, определяющих координаты нужной ячейки;

подать разрешающий сигнал на вход «Выбор БИС».

Спустя промежуток времени, требуемый для вывода информации из БИС ОЗУ (обычно около 1 мкс), на выходе БИС появится сигнал 0 или 1, соответствующий числу, записанному в выбранной ячейке (рис. 52,б).

**Цикл записи.** Цикл записи отличается от записанного выше цикла считывания тем, что на вход «Запись/считывание» необходимо подать сигнал, соответствующий записи информации (рис. 52,в).

**Ячейка БИС статического ОЗУ с выборкой по двум координатам  $x$  и  $y$**  изображена на рис. 53. В этой ячейке использованы МДП транзисторы (например, с  $n$ -каналами). Транзисторы  $T_1$ — $T_4$  образуют запоминающую бистабильную ячейку. Транзисторы  $T_5$ — $T_8$  управляют поступлением и выдачей информации из бистабильной ячейки. На входах стоят усилители записи считывания.

Динамическое ОЗУ, предложенное для хранения  $N$  слов по  $M$  бит каждое (организация  $N \times M$ ), показано на рис. 54,а; оно отличается от ранее рассмотренного варианта (см. рис. 52,а) на-

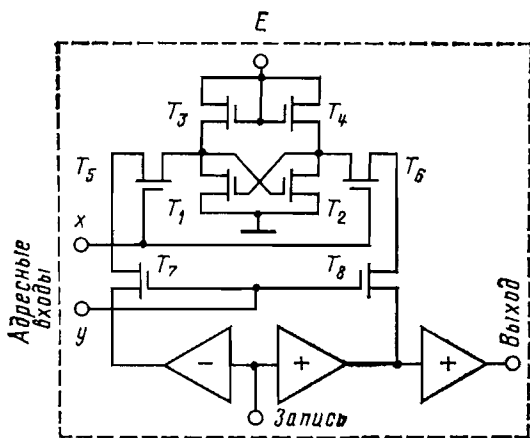
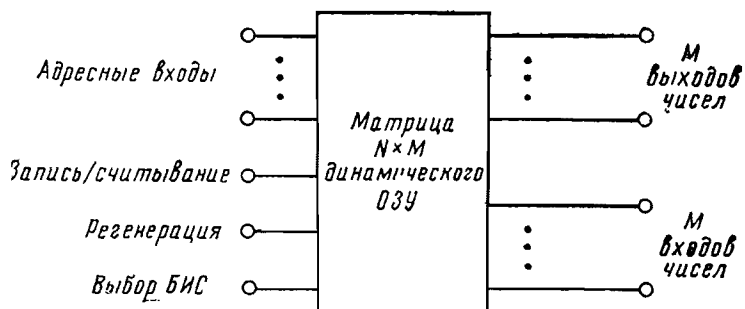
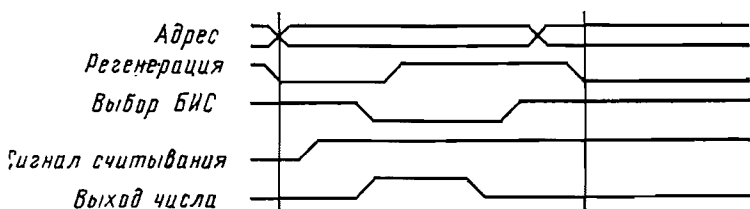


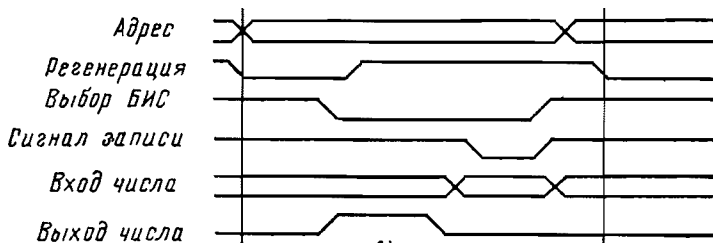
Рис. 53. Ячейка БИС статического ОЗУ с цепями записи и считывания.



а)



б)



в)

Рис. 54. Организация БИС динамического ОЗУ (а) и временные диаграммы его работы при считывании (б) и записи (в).

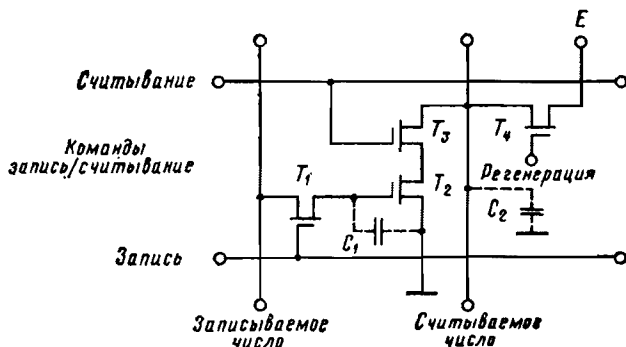


Рис. 55. Ячейка БИС динамического ОЗУ.

lichem входа регенерации. Временные диаграммы для циклов считывания и записи приведены на рис. 54,б, в. Ячейка динамического ОЗУ на МДП-транзисторах показана на рис. 55.

При считывании на выходах появляются одновременно  $M$  рядов одного из записываемых слов. Запись осуществляется также целыми словами по  $M$  рядов (бит).

## **МИКРОСХЕМОТЕХНИКА АНАЛОГОВЫХ УСТРОЙСТВ — УНИФИКАЦИЯ, ТОЧНОСТЬ, ДЕШЕВИЗНА АППАРАТУРЫ**

*Аналоговые устройства* осуществляют преобразования сигналов, имеющих вид непрерывных функций напряжений или токов. Такие преобразования используются в усилительных, измерительных, импульсных устройствах, приборах связи и т. п. Вариантов аналоговых преобразований известно много, а обеспечение точности преобразования связано с реализацией жестких допусков на параметры элементов устройств.

Внедрение ИС позволило обеспечить существенный прогресс в аналоговой технике. Удалось существенно унифицировать схеменные решения, повысить технологичность изготовления аппаратуры, улучшить ее технические показатели.

Технологические средства современной микроэлектроники дали возможность достичь значительной схемотехнической унификации различных видов аналоговых схем. Использование ИС широкого применения (операционных усилителей — ОУ, компараторов, радиотехнических цепей с высокими техническими характеристиками) позволило существенно уменьшить объем регулировочных и подстроечных операций при создании аналоговых устройств. Это достигается применением интегральных элементов с параметрами, технологически *взаимно согласованными* в широком диапазоне условий эксплуатации. Согласование пар элементов (транзисторов, резисторов) или их сочетаний, например, во входных дифференциальных каскадах достигается путем их топологической симметрии и близкого расположения на подложке ИС. При этом балансировка аналоговых ИС осуществляется с точностью, в принципе не достижимой при индивидуальных методах регулировки аппаратуры.

## **ИНТЕГРАЛЬНЫЙ ОПЕРАЦИОННЫЙ УСИЛИТЕЛЬ С ГЛУБОКОЙ ОТРИЦАТЕЛЬНОЙ ОБРАТНОЙ СВЯЗЬЮ**

Интегральные операционные усилители выпускаются как изделия массового применения, предназначенные для выполнения аналоговых функций в МЭА. *Схемотехническая специализация* ОУ осуществляется введением обратной связи (ОС) и подключением внешних компонентов. Для того чтобы ОУ мог служить схемотехнической основой многочисленных схем, ему приданы свойства, приближающиеся к свойствам «идеального» усилителя: симметрия двух дифференциальных входов; усиление в достаточно широкой (в идеале бесконечной) полосе частот, начиная от постоянного тока (без заметных частотно-фазовых искажений); нулевое напряжение на выходе ОУ при отсутствии сигналов на его входах; большие коэффициенты усиления по напряжению, току и мощности (в идеальном ОУ  $K'_U = \infty$ ,  $K'_I = \infty$ ,  $K'_P = \infty$ ); большие входные и малые выходные

сопротивления (в идеальном ОУ  $R'_{вх}=\infty$ ,  $R'_{вых}=0$ ); большой динамический диапазон сигналов на входах и выходах ОУ.

Из приведенного выше перечня свойств следует, что ОУ можно считать «идеальным» лишь в определенных пределах его применения: ограниченном диапазоне сигналов на входах ОУ (по частотному спектру и амплитуде); при сопротивлениях входных цепей, резко отличающихся от сопротивлений ОУ; в ограниченном диапазоне эксплуатационных факторов (таких, как температура, питающие напряжения и т. п.)

Обычно ОУ применяются в схемах с глубокой отрицательной ОС. Показатели таких схем практически не зависят от параметров ОУ и определяются внешними пассивными цепями ОС. Рассмотрим два основных включения ОУ

**Операционный усилитель в схеме инвертора-усилителя (рис. 56,а).** Будем предполагать ОУ идеальным, т. е.  $K'U=\infty$ ,  $R'_{вх}=\infty$ . В этом

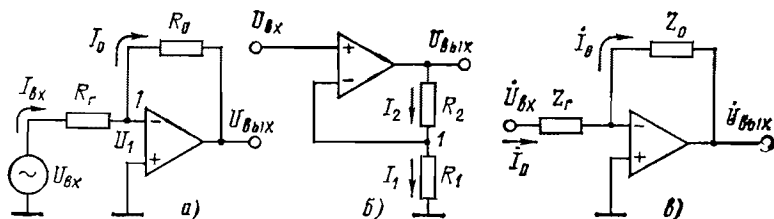


Рис. 56. Включения ОУ.

а — в схеме инвертора-усилителя, б — в схеме неинвертирующего усилителя; в — в схеме инвертора с частотно-зависимой отрицательной обратной связью.

случае любой малый сигнал  $U_1$  на входе 1 будет неограниченно усилен и через цепь отрицательной ОС передан обратно во входную цепь. Входной сигнал  $U_1$  при этом будет полностью скомпенсирован, т. е.  $U_1=0$ . Поскольку  $R'_{вх}=\infty$ , то  $I_{вх}=I_0$ , т. е.  $U_{вх}/R_r = -U_{вых}/R_0$ . Из полученного соотношения находим коэффициент усиления схемы  $K_U = U_{вых}/U_{вх} = -R_0/R_r$ , который не зависит от параметров ОУ.

Интересно проверить, с какой точностью выполняется последнее равенство. Если ОУ, использованный в схеме на рис. 56,а, имеет  $K'U = U_{вых}/U_1 \neq \infty$ , то

$$(U_{вх} - U_1)/R_r = -(U_{вых} - U_1)/R_0.$$

Подставив  $U_1 = U_{вых}/K'U$ , получим:

$$K_U = U_{вых}/U_{вх} = - \left( \frac{R_0}{R_r} \right) / \left[ 1 + \left( 1 + \frac{R_0}{R_r} \right) / K'U \right].$$

Правый множитель этого выражения представляет собой поправку, учитывающую отклонение ОУ от его «идеальной» модели, имеющей  $K'U=\infty$ . Обратная связь является глубокой тогда, когда этот множитель близок к единице. Например, при  $K'U=10^8$ ,  $R_0/R_r=50$  получим:

$$K_U = - \left( \frac{R_0}{R_r} \right) \left[ 1 + \left( 1 + \frac{R_0}{R_r} \right) / K'U \right] = - 50 \cdot 0,99995 = - 49,9975.$$

Если значение  $K_U$  уменьшилось в 2 раза и стало  $0,5 \cdot 10^6$ , коэффициент усиления составит:

$$K_U = -50 \cdot \frac{1}{1 + 51 \cdot 2 \cdot 10^{-6}} = -50 \cdot 0,99997 = -49,9987.$$

Таким образом, усиление изменилось всего на 0,002%, т. е. глубокая ОС обеспечивает хорошую стабилизацию коэффициента усиления.

**Операционный усилитель в схеме неинвертирующего усилителя** (рис. 56,б). Поскольку ОУ идеальный,  $I_1 = I_2 = I_0$ ,  $U_{\text{вых}} = I_0(R_1 + R_2)$ ,  $U_{\text{вх}} = I_0 R_1$ , отсюда получим:

$$K_U = \frac{U_{\text{вых}}}{U_{\text{вх}}} = 1 + \frac{R_2}{R_1}.$$

При  $R_2 = 0$ ,  $R_1 = \infty$  получим схему повторителя с  $K_U = 1$ .

**Операционный усилитель в схемах с частотно-зависимой отрицательной ОС.** Заменяв в схеме на рис. 56,а резисторы  $R_0$  и  $R_r$  на комплексные сопротивления  $Z_0$  и  $Z_r$ , получим для комплексного коэффициента передачи при инвертирующем включении ОУ с ОС (рис. 56,в):

$$\dot{K}_U = \frac{\dot{U}_{\text{вых}}}{U_{\text{вх}}} = -(Z_0 / Z_r).$$

**Передачная функция и ее полюсы.** Положив

$$Z_0 = \frac{R_0}{1 + j\omega\tau_0}; \quad Z_r = R_r; \quad R_0 C_0 = \frac{1}{\omega_0} = \frac{1}{2\pi f_0},$$

получим схему, имеющую амплитудно-частотную характеристику однозвенного фильтра:

$$\dot{K}_U = -\frac{R_0}{R_r} \frac{1}{1 + j(\omega/\omega_0)} = K_U e^{j\varphi},$$

где

$$K_U = \frac{R_0}{R_r} \frac{1}{\sqrt{1 + (f/f_0)^2}};$$

$$\varphi = \pi - \text{arctg}(f/f_0) = \varphi_0 + \Delta\varphi.$$

Комплексную передачную функцию  $\dot{K}_U(j\omega)$  вещественной переменной  $\omega = 2\pi f$  в более общем виде определяют как

$$\dot{K}_U(j\omega) = \frac{\dot{U}_{\text{вых}}}{U_{\text{вх}}} = K_1(\omega) + jK_2(\omega) = K_U(\omega) e^{j\varphi(\omega)}.$$

Экспериментально такая функция определяется при гармоническом входном воздействии  $u_{\text{вх}}(t) = 1 \cos \omega t$ , которое в символической записи представляется в виде  $\dot{U}_{\text{вх}} = 1 e^{j\omega t}$ .

В более общем случае входное воздействие можно считать сигналом  $u_{\text{вх}}(t)$  с медленно изменяющейся амплитудой  $U_{\text{вх}}(t)$ :  $u_{\text{вх}}(t) = U_{\text{вх}}(t) \cos \omega t = 1 e^{\sigma t} \cos \omega t$ ; иными словами,  $\dot{U}_{\text{вх}} = e^{\sigma t} e^{j\omega t} = e^{(\sigma + j\omega)t} = e^{p t}$ . При этом переменная  $j\omega$  заменяется оператором  $p = \sigma + j\omega$ , действительная часть которого  $\sigma$  символизирует скорость экспоненциального изменения амплитуды  $e^{\sigma t}$  сигнала  $u_{\text{вх}}(t)$ .

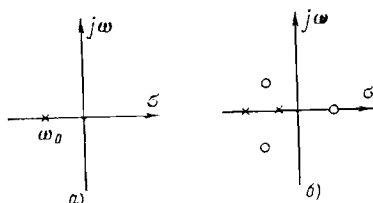
Функция цепи  $\mathcal{K}_U(p)$  получается заменой в  $\mathcal{K}_U(j\omega)$  мнимой величины  $j\omega$  на оператор  $p$ . Например, для рассмотренного выше однозвенного фильтра

$$\mathcal{K}_U(p) = \frac{a_0}{b_0 + b_1 p} = \frac{k_1}{p - p_1},$$

где

$$a_0 = -\frac{R_0}{R_T}; \quad k_1 = \frac{a_0}{b_1}; \quad b_0 = 1; \quad b_1 = \frac{1}{\omega_0} \doteq R_0 C_0.$$

Рис. 57. Полюс однозвенного фильтра (а), пример расположения нулей и полюсов (б).



Значение  $p=p_1$  корня оператора  $p$ , при котором знаменатель обращается в нуль, а  $\mathcal{K}_U(p)$  — в бесконечность, называется *полюсом* функции  $\mathcal{K}_U(p)$ . Для рассмотренного примера однозвенного фильтра имеется вещественный полюс  $p_1 = -\omega_0$  (рис. 57,а), расположенный в левой полуплоскости системы координат  $\sigma + j\omega$ .

## УПРАВЛЕНИЕ ЧАСТОТНЫМИ СВОЙСТВАМИ АНАЛОГОВЫХ СХЕМ

В более общем виде записанная выше функция цепи может быть представлена отношением степенных полиномов

$$\mathcal{K}_U(p) = \frac{a_0 + a_1(p) + \dots + a_m p^m}{b_0 + b_1 p + \dots + b_n p^n}.$$

При разложении числителя и знаменателя на простые множители получаем:

$$\mathcal{K}_U(p) = K_0 \frac{(p - p_{01})(p - p_{02}) \dots (p - p_{0m})}{(p - p_1)(p - p_2) \dots (p - p_n)},$$

где  $p_{01}, p_{02}, \dots, p_{0m}$  — нули функции  $\mathcal{K}_U(p)$  (на рис. 57,б обозначены кружочками), а  $p_1, p_2, \dots, p_n$  — полюсы функции  $\mathcal{K}_U(p)$  (обозначены крестиками).

Диаграмма нулей и полюсов отображает функцию  $\mathcal{K}_U(p)$  с точностью до коэффициента  $K_0$ . Поскольку корни степенных полиномов бывают либо вещественными, либо комплексно-сопряженными, нули и полюсы симметрично размещены относительно оси  $\sigma$ .

По расположению полюсов можно судить об устойчивости цепи. Цепь устойчива, если ее полюсы имеют  $\sigma < 0$ , т. е. расположены в левой полуплоскости.

Характер расположения нулей определяет ряд важных свойств цепей: например, при отсутствии нулей в правой полуплоскости цепи являются минимально-фазовыми, т. е. имеющими на любой ча-



сте наименьшую для данной амплитудно-частотной характеристики абсолютную величину сдвига фазы.

Чтобы получить представление об асимптотических диаграммах, обратимся к рассмотренному выше примеру однозвенного фильтра. Частотные свойства такого фильтра представим в виде его модели— эквивалентной схемы с источником напряжения  $E = -(R_0/R_T)U_{вх}$  и  $RC$ -цепочкой (рис. 58,а).

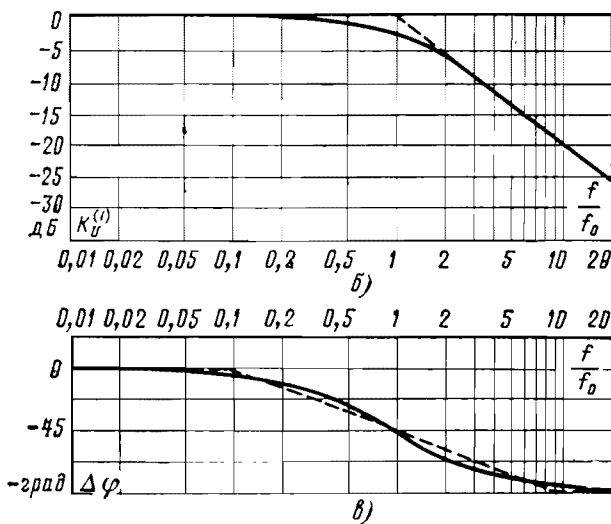
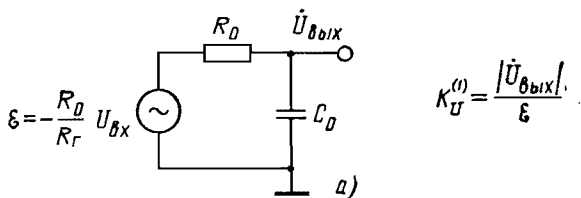


Рис. 58. Модель фильтра (а) и амплитудно-частотная (б) и фазочастотная (в) характеристики однополюсного фильтра (пунктиром показаны асимптотические диаграммы).

Если амплитуды сигналов  $E$  и  $U_{вых}$  меняются в небольших пределах, их соотношения выражают в виде дробей или процентов и пользуются обычными числами. В тех случаях, когда эти изменения велики, применяют логарифмические единицы измерения — *непер* и *децибел*:

$$N = \ln \frac{|U_{вых}|}{|U_{вх}|}, \text{ Нп};$$

$$D = 20 \log \frac{|U_{вых}|}{|U_{вх}|}, \text{ дБ}$$

Эти единицы связаны между собой коэффициентами

$$1 \text{ Нп} = 9,69 \text{ дБ};$$

$$1 \text{ дБ} = 0,115 \text{ Нп}.$$

*Логарифмический масштаб* удобен для графического представления частотных характеристик, так как позволяет производить их сложение. Логарифмируя формулу для частотно-фазовой характеристики  $\text{In } |\mathcal{H}_U| = \text{In } K + j\varphi$  и умножив его левую и правую части на коэффициент 8,69, получаем:

$$20 \log |\mathcal{H}_U| = 20 \log K + j8,69\varphi.$$

Мнимая часть этих выражений пропорциональна  $\varphi$ , а их вещественная часть может быть измерена в исперах:  $|\mathcal{H}_U|_{(\text{Нп})} = \text{In } K$  или децибелах:  $K_U \text{ (дБ)} = 20 \log K$ .

Для однозвенного фильтра, считая  $K_U = \left| \frac{\dot{U}_{\text{ВЫХ}}}{E} \right|$ , получаем:

$$K_U \text{ (дБ)} = 20 \log \sqrt{1 + (f/f_0)^2}.$$

Эта логарифмическая амплитудно-частотная характеристика изображена на рис. 58,б вместе с кусочно-линейными аппроксимациями (пунктирная линия)

$$K_U \text{ (дБ)} = \begin{cases} 0, & \text{если } f/f_0 \leq 1; \\ -20 \log (f/f_0), & \text{если } f/f_0 \geq 1, \end{cases}$$

называемыми *асимптотической диаграммой* или *диаграммой Боде*. Излом этой диаграммы соответствует  $f=f_0$ , а наклон крутой части составляет:

$$20 \log 2 = 6 \text{ дБ/октава или } 20 \log 10 = 20 \text{ дБ/декада}.$$

На рис. 58,в показана асимптотическая диаграмма для фазочастотной характеристики

$$\Delta\varphi = \begin{cases} 0, & \text{если } f < (f_0/10); \\ 45^\circ [1 + \log (f/f_0)], & \text{если } (f_0/10) < f < 10f_0; \\ 90^\circ, & \text{если } f > 10f_0. \end{cases}$$

В точке излома  $f=f_0$  отклонение  $\Delta\varphi$  от начального значения  $\varphi_0$  (в данном случае  $\varphi_0=\pi$ ) составляет  $45^\circ$ , наклон крутой части составляет  $45^\circ \log 2 = 13,55$  или  $45 \log 10 = 45$  град/декада.

**Пример.** Диаграмма цепи с одним нулем. Обратившись к схеме на рис. 56,в и положив  $Z_0=R_0$ ,  $Z_r=R_r/1+j\omega\tau_r$ , где  $\tau_r=R_rC_r=1/2\pi f_r$ , получим выражение

$$\mathcal{H}_U = -\frac{R_0}{R_r} (1 + j\tau_r) = K_0 [1 + j(f/f_r)].$$

Полученные логарифмические характеристики и асимптотические диаграммы (рис. 59,а, б) соответствуют дифференцирующей RC-цепочке (рис. 59,в).

\* Октава и декада — диапазоны между частотами, отличающимися друг от друга в 2 и 10 раз.

$f/f_0$	Абсолютные значения отклонений	
	Амплитуды, дБ	Фазы, град
0,1	0,04	5,7
0,5	1	4
1	3	0
2	1	4
10	0,04	5,7

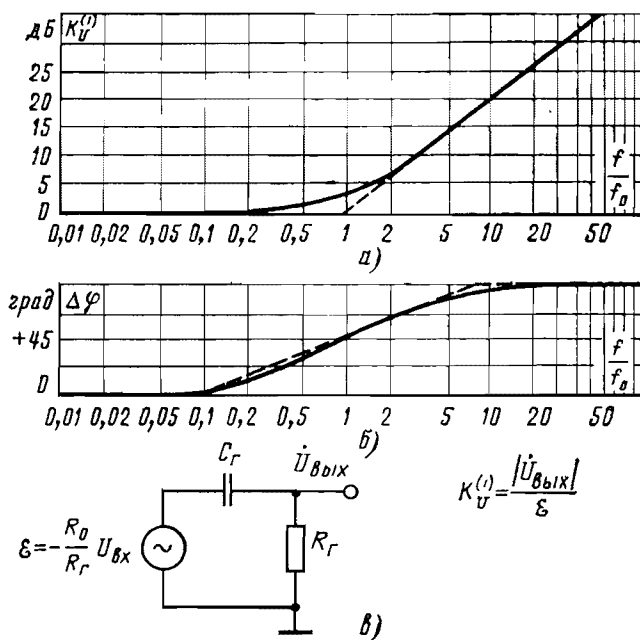


Рис. 59. Амплитудно-частотная (а) и фазо-частотная (б) характеристики цепи (в) с одним нулем (пунктиром показаны асимптотические диаграммы).

Абсолютные величины отклонений асимптотических диаграмм для амплитуды (рис. 58,б и рис. 59,а) и фазы (рис. 58,в и рис. 59,б) от их реальных значений оказываются одинаковыми для обоих типов однозвенных фильтров и приведены в табл. 27.

**Пример. Автогенератор синусоидальных колебаний** (рис. 60,а). В этой схеме ОУ включен как инвертор-усилитель с

$$K_U^0 = 1 + \frac{2R}{R} = 3.$$

На эквивалентной схеме автогенератора (рис. 60,б) усилительная цепь отображается зависимым источником напряжения  $K^0_U U_{вх} = U_0$ , дающим входной сигнал для цепи положительной обратной связи (ОС). Коэффициент передачи этой цепи, как видно из рис. 60,б, составит:

$$j\mathcal{K}'' = \frac{Z_1}{Z_1 + Z_2} = \frac{1}{(1 + j\omega RC) \left( \frac{R}{1 + j\omega RC} + R + \frac{1}{j\omega C} \right)}.$$

Обозначив  $p = j\omega$ ,  $\tau = RC$  и выполнив преобразования, получим:

$$\mathcal{K}''(p) = \frac{p\tau}{p^2\tau^2 + 3p\tau + 1}.$$

Построив асимптотические диаграммы для этой функции, нетрудно убедиться в том, что цепь обратной связи является RC-фильтром, имеющим наибольший коэффициент передачи и фазовый сдвиг, равный нулю на некоторой частоте  $f_0$ .

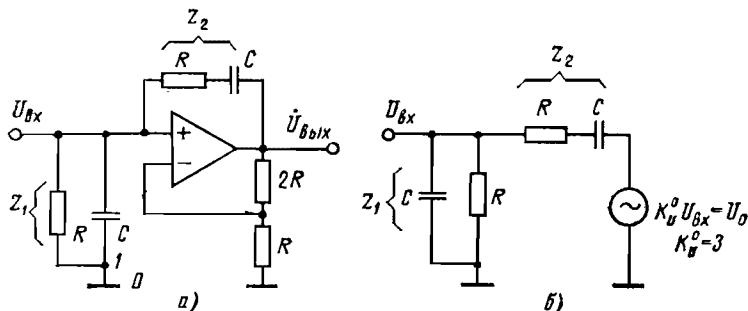


Рис. 60. Автогенератор синусоидальных колебаний (а) и его эквивалентная схема (б) в виде цепи, охваченной ОС.

Представим знаменатель написанного выше выражения в виде  $(x-x_1)(x-x_2)$  (при  $x = -p\tau$ ), для чего решим квадратное уравнение  $x^2 + 3x + 1 = 0$  и определим его корни:  $x_1 = -2,618$ ,  $x_2 = -0,382$ . Заменив  $x$  на  $j\omega\tau = j(f/f_0)$ , где  $f_0 = (1/2\pi\tau)$ , получим:

$$j\mathcal{K}''(j\omega) = \frac{j(f/f_0)}{(1 + jf/f_1)(1 + jf/f_2)},$$

где  $f_1 = 0,382f_0$ ;  $f_2 = 2,618f_0$ .

Для построения суммарной асимптотической диаграммы амплитудно-частотной характеристики нарисуем частотные зависимости модулей комплексных величин  $j(f/f_0)$  (на рис. 61,а обозначена цифрой I),  $1/1 + j(f/f_1)$  и  $1/1 + j(f/f_2)$  (обозначены соответственно цифрами II и III). Сложение этих графиков с учетом знаков позволяет построить результирующую диаграмму для модуля  $|\mathcal{K}''(j\omega)|$ . Аналогично сложим фазовые диаграммы для  $f/f_0$ ,  $1/[1 + j(f/f_1)]$ ,  $1/[1 + j(f/f_2)]$  (на рис. 61,б они обозначены цифрами I, II, III).

Как видно из рис. 61, диаграмма модуля  $|\mathcal{K}''(j\omega)|$  в интервале  $[f_1, f_2]$  имеет наибольшее значение, составляющее

$$20 \log K''_0 = 20 \log (f/f_0) - 20 \log (f/f_1) = 20 \log 0,382 = 8,36 \text{ дБ.}$$

На частоте  $f_0$  фазовый сдвиг составляет  $\varphi=0$ , а наклон  $-90$  град/дек. Любой сигнал  $U'_{\text{вых}}$ , будучи переданным по цепи ОС и усиленным, вернется на выход в виде

$$U_{\text{вых}} = U'_{\text{вых}} \mathcal{K}^0 U \mathcal{K}''.$$

Отношение  $\dot{T} = U_{\text{вых}} / U'_{\text{вых}}$  является коэффициентом передачи сигнала по цепи ОС и называется *возвратным отношением*:

$$\dot{T} = \mathcal{K}^0 U \mathcal{K}''.$$

Для рассматриваемой схемы генератора

$$\dot{T} = \frac{3p\tau}{p^2\tau + 3p\tau + 1}.$$

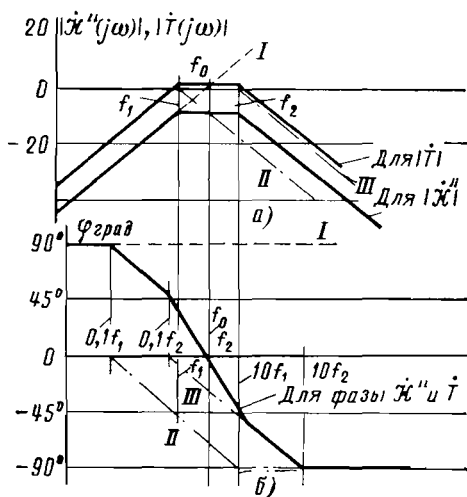


Рис. 61. Асимптотические диаграммы модуля (а) и фазы (б) для коэффициента передачи цепи ОС  $\mathcal{K}''$  и возвратного отношения  $\dot{T}$ .

*Возвратную разность*  $(1-\dot{T})$  для рассматриваемой схемы можно выразить в виде

$$1 - \dot{T} = \frac{1 + p^2\tau^2}{p^2\tau^2 + 3p\tau + 1}.$$

Частота колебаний  $f_0 = \omega_0 / 2\pi$  определяется из решения характеристического уравнения для возвратной разности  $1 - \dot{T} = 0$ , из которого получаем условие

$$p^2\tau^2 + 1 = 0,$$

что соответствует комплексно-сопряженным величинам

$$p = \pm (j/\tau) \text{ и частоте } \omega_0 = 2\pi f_0 = \frac{1}{RC}.$$

Проверим на этой частоте  $f_0$  условие самовозбуждения схемы ( $T \geq 1$ ):

$$K^0_U K''(f_0) = 20 \log K^0_U - K''(f_0) \text{ [дБ]} = 20 \log 3 - 8,36 = 1,2 \text{ дБ} > 0.$$

Таким образом, условие самовозбуждения выполняется с запасом 15%, достаточным для обеспечения работоспособности генератора. При слишком большом превышении  $T$  над 1 может нарушаться спускоподальная форма автоколебаний.

Асимптотическая диаграмма фазы  $T$  совпадает с диаграммой, показанной на рис. 61,б; диаграмма амплитуды  $[T]$  может быть получена прибавлением к диаграмме числа  $20 \log 3 = 9,542$  дБ, как показано на рис. 61,а.

## ВКЛЮЧЕНИЯ ОПЕРАЦИОННОГО УСИЛИТЕЛЯ

Возможности ОУ как основы аналоговой схемотехники вытекают из обилия вариантов его включения в аппаратуру. Некоторое представление об этом многообразии дает табл. 28, содержащая характерные примеры использования ОУ.

Приведенные в табл. 28 формулы и их доказательства, полученные в предположении, что ОУ идеален, хорошо подтверждаются на практике при соблюдении правил, приводимых для каждого из конкретных типов ОУ в руководствах по их применению.

## РЕАЛЬНЫЙ ОПЕРАЦИОННЫЙ УСИЛИТЕЛЬ И ЕГО ПАРАМЕТРЫ

Электрическая схема типичного современного ОУ, выпускаемого в виде ИС типа 153УД2 (рис. 62), содержит входной дифференциальный и выходной каскады, а также цепи стабилизации и защиты перегрузок. В табл. 29 приведены типовые параметры этого ОУ.

Так как характеристики реального ОУ всегда отличаются от идеального:  $K_U \neq \infty$ ,  $R_{вх} \neq 0$ ,  $R_{вых} \neq 0$  и т. д., то при использовании реального ОУ получим отклонения параметров от значений, определяемых табл. 28. Степень влияния «неидеальности» ОУ\* по тому или иному параметру можно оценить, моделируя их в схемах, использующих ОУ. Например, на рис. 63,а, б представлены два уже рассматривавшихся выше варианта включения ОУ, имеющих  $K'_U \neq \infty$ ,  $R'_{вх} \neq \infty$ ,  $R'_{вых} \neq 0$ . Формулы расчета показателей такого неидеального ОУ приведены в табл. 30 вместе с приближенными выражениями для этих показателей.

Сравнение, проведенное для параметров ОУ 153УД2, показывает, что в случаях, когда можно не учитывать инерционные свойства ОУ, ошибка приближенных формул составляет сотые или даже тысячные доли процента.

Точностные свойства неидеального ОУ в инвертирующем включении можно оценить, используя эквивалентную схему, показанную на рис. 64,а. Источником ошибок на этой модели являются входные токи  $I_1$  и  $I_2$  и напряжение смещения нуля  $U_0$ , приведенное ко входу ОУ:

$$U_0 = U'_0 + U_t \Delta t,$$

где  $U'_0$  — напряжение смещения нуля при  $t = 25^\circ\text{C}$ ;  $\Delta t = t - t_0$ ;  $U_t = \Delta U_0 / \Delta t$  — температурный коэффициент.

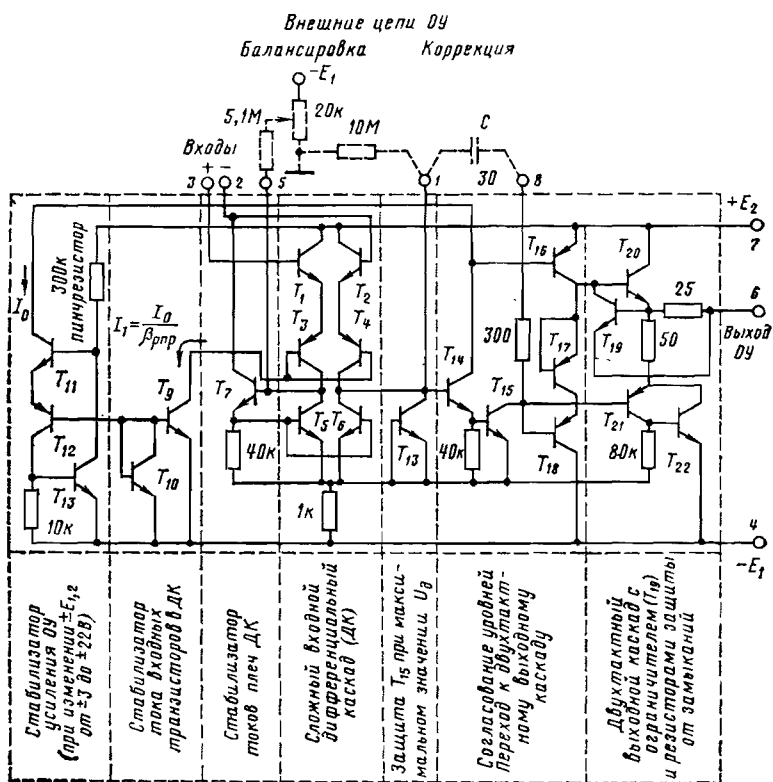


Рис. 62. Схема операционного усилителя 153УД2.

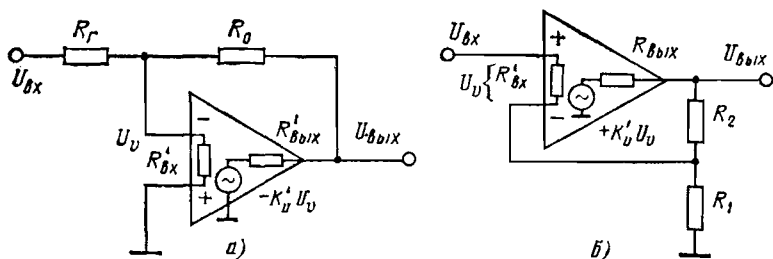
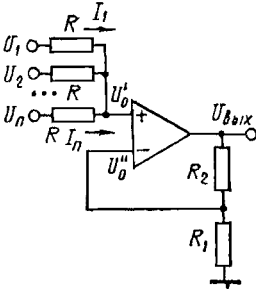
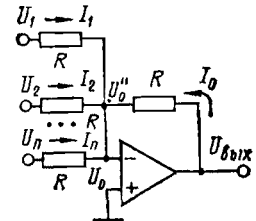
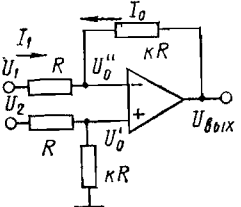
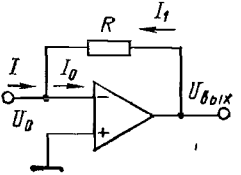
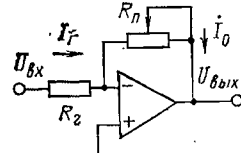
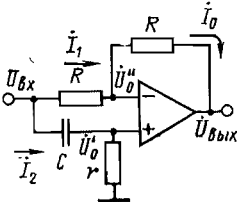


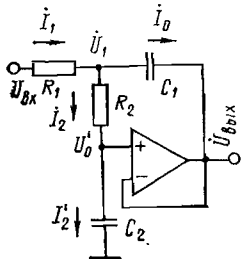
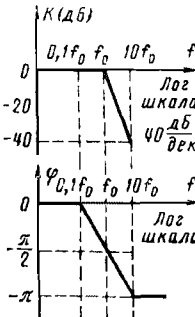
Рис. 63. Эквивалентные схемы, учитывающие неидеальность ОУ ( $R'_{вх} \neq \infty$ ,  $K'_U \neq \infty$ ,  $R'_{вых} \neq 0$ ) при включении в качестве инвертора-усилителя (а) и неинвертирующего усилителя (б).

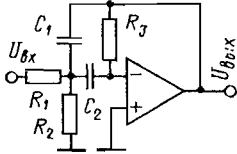
Наименование	Цель	Формула операции	Вывод формулы операции
Сумматор неинвертирующий с усилением		$U_{\text{Вых}} = K \sum_{i=1}^n U_i$ $K = \frac{1 + \frac{R_2}{R_1}}{n}$	$\frac{U_1 - U'_0}{R} + \frac{U_2 - U'_0}{R} + \dots$ $\dots + \frac{U_n - U'_0}{R} = 0;$ $U_1 + U_2 + \dots + U_n = nU'_0;$ $U'_0 = U''_0 = \frac{U_{\text{Вых}}}{R_1 + R_2} R_1;$ $U_{\text{Вых}} = \frac{1}{n} \left( 1 + \frac{R_2}{R_1} \right) (U_1 + U_2 + \dots + U_n)$ <p>Если <math>n = 1 + \frac{R_2}{R_1}</math>; то <math>U_{\text{Вых}} = \sum_{i=1}^n U_i</math></p>
Сумматор инвертирующий		$U_{\text{Вых}} = - \sum_{i=1}^n U_i$	$\frac{U_1 - U''_0}{R} + \frac{U_2 - U''_0}{R} + \dots$ $\dots + \frac{U_n - U''_0}{R} = - \frac{U_{\text{Вых}}}{R};$ $U_1 + U_2 + \dots + U_n = nU''_0 = nU_0 = 0;$ $U''_0 = U'_0 = U_0 = 0;$ $U_{\text{Вых}} = - (U_1 + U_2 + \dots + U_n)$

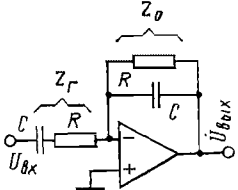
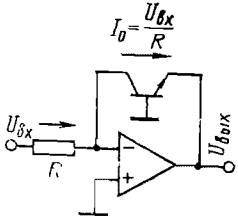


Наименование	Цепь	Формула операции	Вывод формулы операции
Вычитатель-усилитель		$U_{\text{вых}} = K(U_2 - U_1)$	$I_1 = -I_0; \quad \frac{U_1 - U''_0}{R} = \frac{U''_0 - U_{\text{вых}}}{kR};$ $U''_0 = U'_0 = U_2 \frac{K}{K+1};$ $KU_1 - U''_0(K+1) = -U_{\text{вых}};$ $U_{\text{вых}} = K(U_2 - U_1)$
Преобразователь ток—напряжение		$U_{\text{вых}} = -IR$	$I_1 + I = I_0 = 0;$ $I = -I_1 = \frac{U_{\text{вых}}}{R};$ $U_0 = 0$
Инвертор с регулируемым усилением		$U_{\text{вых}} = -\rho K U_{\text{вх}};$ $K = \frac{R_0}{R_r};$ $0 \leq \rho \leq 1$	$I_r = I_0; \quad \frac{U_{\text{вх}}}{R_r} = -\frac{U_{\text{вых}}}{R_n};$ $R_n = \rho R_0;$ $U_{\text{вых}} = -U_{\text{вх}} \rho \frac{R_0}{R_r}$

Наименование	Цель	Формула операции	Вывод формулы операции
Фазовращатель		$\varphi = \pi - 2 \operatorname{arctg} \frac{f}{f_0};$ $f_0 = \frac{1}{2\pi r C}$ <p>При <math>0 \leq r \leq \infty</math>  <math>\pi \leq \varphi \leq 0</math>;  <math>K = 1</math></p>	$\frac{U_{\text{ВХ}} - \dot{U}''_0}{R} = \frac{\dot{U}''_0 - \dot{U}_{\text{ВЫХ}}}{R},$ <p>откуда</p> $\dot{U}_{\text{ВЫХ}} = 2\dot{U}''_0 - U_{\text{ВХ}},$ <p>но</p> $U''_0 = \dot{U}'_0 = U_{\text{ВХ}} \frac{r}{1 + j\omega r C};$ <p>поэтому</p> $\dot{U}_{\text{ВЫХ}} = \frac{-U_{\text{ВХ}}(1 - j\omega r C)}{1 + j\omega r C};$ $\frac{\dot{U}_{\text{ВЫХ}}}{U_{\text{ВХ}}} = K = Ke^{j\varphi} = e^{j\varphi}$

Наименование	Цель	Формула операции	Вывод формулы операции
<p>Активный RC-фильтр нижних частот</p>		$K = \frac{1}{1 + \left(\frac{f}{f_0}\right)^2}$  $\varphi = -2 \operatorname{arctg} \frac{f}{f_0};$ $f_0 = \frac{1}{2\pi RC}$	$I_1 = I_2 + I_0; \quad p = j\omega;$ $\frac{U_{\text{вх}} - \dot{U}_1}{R_1} = \frac{\dot{U}_1 - \dot{U}'_0}{R_2} +$ $+ (\dot{U}_1 - U_{\text{вых}}) pC_1;$ <p>но</p> $\frac{U_1 - U'_0}{R_2} = U'_0 pC_2,$ <p>откуда</p> $K(p) =$ $= \frac{1}{p^2 + p \frac{C_2(R_1 + R_2)}{R_1 R_2 C_1 C_2} + \frac{1}{R_1 R_2 C_1 C_2}}$ <p>Если <math>R_1 = R_2 = R; C_1 = C_2 = C</math>, то</p> $\dot{K}(p) = \frac{1}{(1 + p\tau)^2}; \quad \tau_0 = RC$

Наименование	Цепь	Формула операции	Вывод формулы операции
<p>Резонансный контур на RC-цепях</p>		$\dot{K} = \frac{K_0}{1 + jQ \left( \frac{\omega}{\omega_0} - \frac{\omega_0}{\omega} \right)}$ <p>где</p> $\omega_0 = \frac{1}{\sqrt{R'R_2C_1C_2}}$ $Q_1 = \omega_0 R_2 C'$ $K_0 = \frac{R_2 C'}{R_1 C_1}$	$\dot{K} = \frac{U_{\text{ввх}}}{U_{\text{вх}}} = \frac{\frac{p}{R_1 C_1} K_0}{p^2 + \frac{p}{R_2 C'} + \frac{1}{R' R_2 C_1 C_2}}$ $R' = \frac{R_1 R_2}{R_1 + R_2}; \quad C_1 = \frac{C_1 C_2}{C_1 + C_2};$ $p = j\omega$

Наименование	Цель	Формула операции	Вывод формулы операции
Активный RC-полосовой фильтр		$K(\omega) = \frac{f}{f_0} \frac{1}{1 + \left(\frac{f}{f_0}\right)^2};$ $\varphi = \frac{\pi}{2} - 2 \operatorname{arctg} \frac{f}{f_0};$ $f_0 = \frac{1}{2\pi RC}$	$K_U = \frac{Z_0}{Z_Г} =$ $= \frac{-R}{(1 + j\omega\tau)R \left(1 + \frac{1}{j\omega\tau}\right)},$ <p>откуда</p> $K(p) = -\frac{p\tau}{(p\tau + 1)^2}, \quad \tau = RC$
Логарифмирующий усилитель		$U_{\text{вых}} = -\varphi_T \ln \frac{U_{\text{вх}}}{RI_s};$ $\varphi_T = \frac{kT}{q}$	$e^{U/\varphi_T} \gg 1;$ $I_0 = I_s e^{-\frac{U_{\text{вых}}}{\varphi_T}},$ <p>откуда</p> $\ln \frac{U_{\text{вх}}}{RI_s} = -\frac{U_{\text{вых}}}{\varphi_T}$

Параметры	Значения параметров			Режимы изменения
	минимальные	типовые	максимальные	
Коэффициент усиления $K'_{U}$	50 000 25 000	150 000 100 000	— —	$t_0 = 25^\circ\text{C}; U_{\text{вых}} = \pm 10 \text{ В}; R_{\text{H}} = 2 \text{ кОм}$ $t_0 = 60-125^\circ\text{C}; U_{\text{вых}} = \pm 10 \text{ В}; R_{\text{H}} = 2 \text{ кОм}$
Максимальное выходное напряжение $U_{\text{макс}}$ , В	$\pm 11$ $\pm 10$	$\pm 12,5$ $\pm 12$		$t_0 = 25^\circ\text{C}; R_{\text{H}} = 2 \text{ кОм}$ $t = 60-125^\circ\text{C}; R_{\text{H}} = 2 \text{ кОм}$
Входное напряжение смещения нуля $U'_0$ , мВ	— —	2 4	5 6	$t_0 = 25^\circ\text{C}; R_{\text{H}} = 10 \text{ кОм}$ $t = -60 \div +125^\circ\text{C}$ $R_{\text{H}} = 10 \text{ кОм}$
Входной ток $I_{\text{вх}}$ , нА $\left( I_{\text{вх}} = \frac{I_1 + I_2}{2} \right)$	— —	200 300	500 1500	$t_0 = 25^\circ\text{C}$ $t = -60 \div +125^\circ\text{C}$
Разность входных токов $I'_{0 \text{ макс}}$ , нА	— —	50 100	200 500	$t_0 = 25^\circ\text{C}$ $t = -60 \div +125^\circ\text{C}$
Ток, потребляемый ОУ, по цепи питания $I_{\text{п. макс}}$ мА	— —	1,6 2	3 4	$t_0 = 25^\circ\text{C}$ $t = -60 \div +125^\circ\text{C}$
Коэффициент ослабления синфазного входного сигнала $\pi_0$ , дБ	70	86	—	$U_{\text{вх.с}} = \pm 12 \text{ В}; R_{\text{Г}} \leq 10 \text{ кОм}; t_0 = 25^\circ\text{C}$
Входное сопротивление без ОС $R'_{\text{вх}}$ , кОм	300	800	—	$t_0 = 25^\circ\text{C}$
Скорость нарастания сигнала при замкнутой р, В/мкс	—	0,6	—	$t_0 = 25^\circ\text{C}$

## Неидеальный ОУ в двух основных включениях

Включение	Параметр	Точная формула	Приближенная формула	Выражения для идеального ОУ
Инвертирующее	Усиление напряжения	$K_U = -\frac{R_0}{R_\Gamma} \times$ $1 - \frac{R'_{\text{ВЫХ}}}{R_0 K' U}$ $\times \frac{1}{1 + \frac{1}{K' U} \left[ 1 + (R_0 + R'_{\text{ВЫХ}}) \left( \frac{1}{R_\Gamma} + \frac{1}{R'_{\text{ВХ}}} \right) \right]}$	$K' U = -\frac{R_0}{R_\Gamma} \frac{1}{1 + \frac{1}{K' U}}$	$K_U = -\frac{R_0}{R_\Gamma}$
	Входное сопротивление	$R_{\text{ВХ}} = R_\Gamma + \frac{R_0 + R'_{\text{ВХ}}}{K' U + 1 + \frac{R'_{\text{ВЫХ}}}{R'_{\text{ВХ}}}}$	$R_{\text{ВХ}} = R_\Gamma$	$R_{\text{ВХ}} = R_\Gamma$
	Выходное сопротивление	$R_{\text{ВЫХ}} = \frac{R'_{\text{ВЫХ}}}{K' U} \left\{ 1 + \frac{R_0}{R_\Gamma} \times$ $1 - \frac{R'_{\text{ВЫХ}}}{R_0 K' U} \right\}$ $\times \frac{1}{1 + \frac{1}{K' U} \left[ 1 + (R_0 + R'_{\text{ВЫХ}}) \left( \frac{1}{R_\Gamma} + \frac{1}{R'_{\text{ВХ}}} \right) \right]}$	$R_{\text{ВЫХ}} = \frac{R'_{\text{ВЫХ}} \left( 1 + \frac{R_0}{R_\Gamma} \right)}{K' U}$	$R_{\text{ВЫХ}} = 0$

Включение	Параметр	Точная формула	Приближенная формула	Выражения для идеального ОУ
Инвертирующее	Усиление напряжения	$K_U = \left(1 + \frac{R_2}{R_1}\right) \times$ $\times 1 + \frac{R'_{\text{вых}}}{R'_{\text{вх}} \left(1 + \frac{R'_{\text{вых}}}{R_{\Gamma}} K' U\right)} \times$ $\times \frac{1}{1 + \frac{1}{K' U} \left[1 + (R_0 + R'_{\text{вых}}) \left(\frac{1}{R_{\Gamma}} + \frac{1}{R'_{\text{вх}}}\right)\right]}$	$K_U = \frac{1}{1 + \frac{R_2}{R_1} + \frac{1}{K' U}}$	$K_U = 1 + \frac{R_2}{R_1}$
	Входное сопротивление	$R_{\text{вх}} = R'_{\text{вх}} \left[1 + \frac{K' U}{1 + \frac{R_{\Gamma} + R'_{\text{вых}}}{R_1}}\right] + \frac{R_2 + R'_{\text{вых}}}{1 + \frac{R'_{\text{вых}}}{R_1}}$	$R_{\text{вх}} = R'_{\text{вх}} \left[1 + \frac{K' U}{1 + \frac{R_2}{R_1}}\right]$	$R_{\text{вх}} = \infty$
	Выходное сопротивление	$R_{\text{вых}} = \frac{R'_{\text{вых}} \left(1 + \frac{R_2}{R_1}\right)}{K' U} \times$ $\times 1 + \frac{R'_{\text{вых}}}{R'_{\text{вх}} \left(1 + \frac{R'_{\text{вых}}}{R_{\Gamma}} K' U\right)} \times$ $\times \frac{1}{1 + \frac{1}{K' U} \left[1 + (R_0 + R'_{\text{вых}}) \left(\frac{1}{R_{\Gamma}} + \frac{1}{R'_{\text{вх}}}\right)\right]}$	$R_{\text{вых}} = R'_{\text{вых}} \frac{1 + \frac{R_2}{R_1}}{K' U}$	$R_{\text{вых}} = 0$



Из схемы рис. 64,а нетрудно найти:

$$(I_1 + I_3)R_1 + I_3R_3 = U_{\text{вых}};$$

$$(I_1 + I_3)R_1 = I_2R_2 + U_0,$$

откуда  $U_{\text{вых}} = U_0(1 + R_3/R_1) + I_2R_2(1 + R_3/R_1) - I_1R_3$ .

Поскольку  $I_2 \approx 1$ , номиналы резисторов выбирают так, чтобы обеспечить

$$R_2(1 + R_3/R_1) = R_3,$$

$$R_2 = \frac{R_1R_3}{R_1 + R_3} = R_1 \parallel R_3.$$

При этом  $U_{\text{вых}} = U_0(1 + R_3/R_1) + I_0R_3$ , где  $I_0 = I_2 - I_1$  является разностью входных токов — показателем неидеальности ОУ.

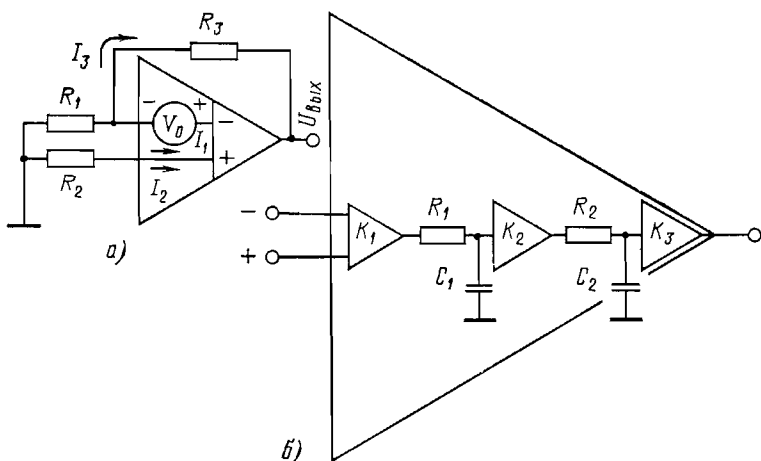


Рис. 64. Эквивалентные схемы, учитывающие неидеальность ОУ. а — при анализе точности преобразования; б — при анализе частотных характеристик.

Представим разность  $I_0 = I_2 - I_1$  в виде

$$I_0 = I'_0 + I_t \Delta t,$$

где  $I'_0$  — значение разности  $I_2 - I_1$  при температуре  $25^\circ\text{C}$ ,  $\Delta t = t - t_0$ ,  $I_t = \Delta I_0 / \Delta t$  — температурный коэффициент.

Сделав такие предположения, нетрудно получить выражение для приращения выходного напряжения  $\Delta U_{\text{вых}}$  при изменении температуры на величину  $\Delta t$ :

$$\Delta U_{\text{вых}} = -U_t \Delta t (K_V - 1) + I_t R_3 \Delta t.$$

**Пример.** Определить сдвиг нуля на выходе ОУ типа 153УД2 в схеме неинвертирующего усилителя при  $R_1 = 1 \text{ кОм}$ ,  $R_3 = 50 \text{ кОм}$ ,  $R_2 = R_1 \parallel R_3$ ,  $U'_0 = 4 \text{ мВ}$ ,  $U_t = 3 \text{ мкВ}/^\circ\text{C}$ ,  $I_t = 0,015 \text{ нА}/^\circ\text{C}$ ,

**Решение.** Имеем  $K_U = R_3/R_1 = -50$ , тогда

$$\Delta U_{вх} = -3 \text{ мВ/}^\circ\text{С} \cdot 20^\circ (-51) + 0,015 \cdot 20 \cdot 50 \approx 3,1 \text{ мВ.}$$

Приведенная ко входу абсолютная величина температурного коэффициента сдвига нуля инвертирующего включения составит:

$$|\Delta U_{твх}| \approx U_t + I_t R_1.$$

Для рассматриваемого примера использованная ОУ 153УД2

$$|\Delta U_{твх}| = 3 \cdot 10^{-6} + 0,015 \cdot 10^{-9} \cdot 10^3 = 3,01 \text{ мВ/}^\circ\text{С.}$$

Частотные свойства современных ОУ моделируются двумя звеньями с постоянными времени  $\tau_1 = R_1 C_1$  и  $\tau_2 = R_2 C_2$ . При этом ОУ представляется в виде эквивалентной схемы, показанной на рис. 64,б,

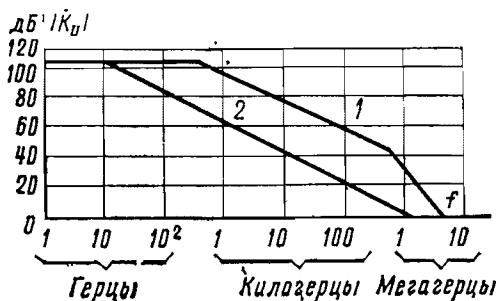


Рис. 65. Диаграммы Бode для амплитудно-частотной характеристики ОУ типа 153УД2.

1 — без внешней компенсации; 2 — с компенсирующей емкостью  $C = 30$  пФ, осуществляющей полную компенсацию.

где включены три идеальных ОУ с бесконечной полосой усиления, которые обладают коэффициентами усиления  $K_1$ ,  $K_2$  и  $K_3$ , т. е. на низких частотах

$$K'_U = K_1 K_2 K_3.$$

Частотная характеристика коэффициента усиления ОУ

$$\dot{K}'_U = \frac{K'_U}{(1 + j\omega\tau_1)(1 + j\omega\tau_2)}$$

имеет два полюса. Поэтому ИС типа 153УД2, несмотря на их сравнительно сложные схемы (см. рис. 62), считают двухкаскадными ОУ. Диаграмма Бode для ОУ 153УД2 без компенсации (ломаная линия 1 на рис. 65) имеет две точки излома, соответствующие полюсам  $f_1 = 450$  Гц,  $f_2 = 56$  кГц. Подсоединив к внешним клеммам 1 и 8 (см. рис. 62) конденсатор коррекции  $C = 30$  пФ, осуществляют внутреннюю компенсацию ОУ, т. е. обеспечивают *однополюсную* частотную характеристику ОУ (рис. 65).

Этот единственный полюс ( $f_0 = 10$  Гц) соответствует излому соответствующей асимптотической диаграммы (линия 2 на рис. 65).

Полностью компенсированный усилитель удобен тем, что не требует внешних навесных элементов, включенных для получения необходимых частотно-фазовых характеристик и обеспечения устойчивости ОУ в различных схемах его использования. Поэтому наря-

ду с ОУ, имеющими клеммы внешней компенсации (коррекции) [21], выпускаются полностью компенсированные ОУ.

Один из типов таких ОУ, 140УД6, имеет структуру и показатели, близкие к ИС типа 153УД2 при его внешней компенсации емкостью  $C=30$  пФ.

Рассмотрим неинвертирующее включение ОУ (рис. 66,а), имеющего частотную характеристику коэффициента усиления:

$$\dot{K}'_U = \frac{K'_U}{1 + j\omega\tau_0}.$$

Эта схема является частным случаем включения, показанного на рис. 56,б и в табл. 30, реализацией при  $K'_U = \infty$ ,  $R_1 = \infty$ ,  $R_2 = 0$  повторителя напряжения, обеспечивающего  $K_U = 1$ .

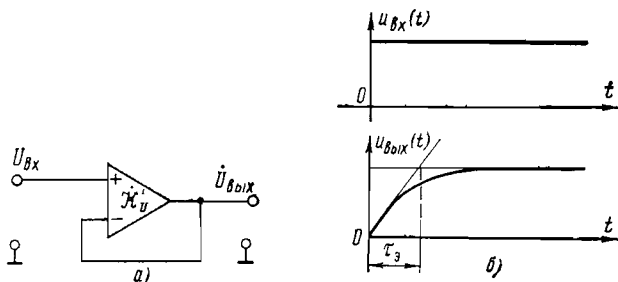


Рис. 66. Повторитель напряжения (а) и определенные скорости нарастания сигнала на его выходе (б).

Используя данное в табл. 30 выражение  $K_U$  для неинвертирующего включения, при  $(R_2/R_1) = 0$  получаем:

$$\dot{K}_U = \frac{1}{1 + (1/K'_U) + j\omega(\tau_0/K'_U)}.$$

Поскольку  $1 \gg 1/K'_U$ , имеем:

$$\dot{K}_U = \frac{1}{1 + j\omega\tau_3},$$

где постоянная времени  $\tau_3 = \frac{1}{2\pi f_3} = \frac{\tau_0}{K'_U}$  соответствует частоте  $f_3 = f_0 K'_U$ .

Скорость нарастания выходного сигнала  $\rho$  при замкнутой петле отрицательной обратной связи (см. табл. 30) измеряется при подаче большого сигнала  $U_{вх}$  как максимальное значение наклона  $\rho = \left( \frac{du_{вых}}{dt} \right)_{\max}$ . Считая ОУ однополюсным, а  $U_{вх}$  — единичной ступенькой, поданной при  $t=0$  (рис. 66,б), для временной диаграмм

мы выходного напряжения  $u_{\text{вых}}(t)$  будем иметь:

$$u_{\text{вых}}(t) = U_{\text{вх}} (1 - e^{-t/\tau_{\text{э}}});$$

$$\rho = \left( \frac{du_{\text{вых}}}{dt} \right)_{\text{макс}} = \frac{du_{\text{вых}}}{dt} \Big|_{t=0} = \frac{U_{\text{вх}}}{\tau_{\text{э}}} = U_{\text{вх}} \cdot 2\pi f_{\text{э}}.$$

Если усиление  $K'_{\text{У}}$  выражать в тысячах, а  $f_{\text{э}}$  — в килогерцах,  $\rho$  будет иметь размерность В/мкс:

$$\rho = [В/мкс] = 2\pi K'_{\text{У}} f_{\text{э}} \text{ [кГц]}.$$

**Пример.** При среднем значении  $K'_{\text{У}} = 10\,000$  для большого сигнала и  $f_{\text{э}} = 0,01$  кГц получим  $\rho = 2\pi \cdot 10 \cdot 0,01 \approx 0,6$  В/мкс.

**Ослабление синфазного сигнала** — мера симметрии входов ОУ. Рассмотрим неидеальный ОУ, имеющий коэффициент ослабления синфазного сигнала (см. табл. 29)  $\rho_0 \neq \infty$ . Величина  $\rho_0$  характеризует меру несимметрии ОУ по двум его входам (рис. 67). Выходной сигнал

$$U_{\text{вых}} = K_1 U_1 - K_2 U_2,$$

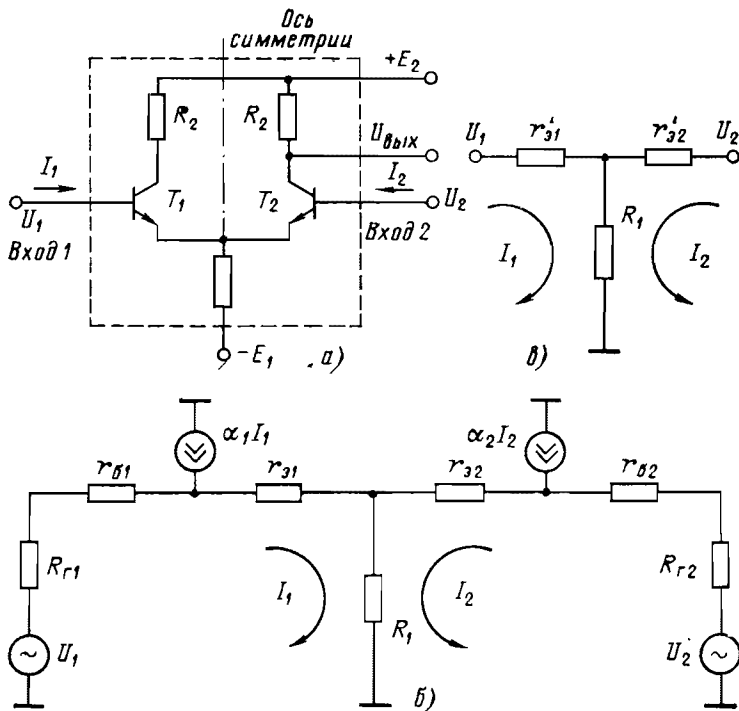


Рис. 67. Схема простого дифференциального каскада (а) и его эквивалентные цепи (б, в) для расчета коэффициента  $\rho_0$ .

где коэффициенты усиления  $K_1$  и  $K_2$  близки, но не равны друг другу:

$$K_1 = K_0 + \Delta K;$$

$$K_2 = K_0 - \Delta K.$$

Если  $U_1 = U_2 = U$ , т. е. сигналы на входах синфазны, то выходное напряжение составит  $U_{\text{вых}} = U_{\text{вых.с}} = (K_1 + K_2)U = 2\Delta K U$ . При  $U_2 = -U_1 = -U$ , сигналы на входах являются *дифференциальными* (в противофазе), а напряжение на выходе  $U_{\text{вых}}$  составит:

$$U_{\text{вых}} = U_{\text{вых.д}} = (K_1 - K_2)U = 2K_0 U.$$

Коэффициент ослабления синфазного сигнала  $\pi_0$  показывает, во сколько раз усиление  $K_{\text{д}} = \frac{U_{\text{вых.д}}}{U}$  больше усиления

$$K_{\text{с}} = \frac{U_{\text{вых.с}}}{U},$$

иными словами,

$$\pi_0 = \frac{K_{\text{д}}}{K_{\text{с}}} = \frac{U_{\text{вых.д}}}{U_{\text{вых.с}}} = \frac{K_1 + K_2}{K_1 - K_2} = \frac{K_0}{\Delta K}.$$

**Пример.** Для ОУ типа 153УД2 типовое значение  $\pi_0$  (табл. 29) составляет 86 дБ. Найти  $\Delta K = (K_1 - K_2)/2$ .

**Решение.** Считая, что

$$\pi_0 [\text{дБ}] = 20 \log \frac{K_0}{\Delta K},$$

будем иметь:

$$\log \frac{K_0}{\Delta K} = \frac{\pi_0 [\text{дБ}]}{20} = 4,3,$$

отсюда

$$(K_0/\Delta K) = 10^{4,3} \approx 2 \cdot 10^4.$$

Так как согласно табл. 29  $K_0 = 100000$ , то имеем:

$$\Delta K = \frac{K_0}{2 \cdot 10^4} = \frac{10^5}{2 \cdot 10^4} = 5.$$

Обычно преобразование двухполярного входного сигнала в однополярный осуществляется во входном дифференциальном каскаде (ДК) (см. рис. 62). Поэтому вычислим  $\pi_0$  в наиболее простом случае, когда ДК состоит из двух взаимно согласованных транзисторов  $T_1$  и  $T_2$ , а выходом ДК является коллектор транзистора  $T_2$  (рис. 67,а).

Заменяем транзисторы  $T_1$  и  $T_2$  их  $T$ -образными моделями с зависимыми генераторами  $\alpha_1 I_1$  и  $\alpha_2 I_2$ , где  $\alpha_1$  и  $\alpha_2$  — низкочастотные значения коэффициентов передачи тока транзисторов  $T_1$  и  $T_2$ . Модель на рис. 67,б может быть заменена близкой ей цепью (рис. 67,в), где

эквивалентные резисторы  $r'_{э1}$  и  $r'_{э2}$  учитывают действие зависимых генераторов токов и внутренних сопротивлений  $R_{r1}$  и  $R_{r2}$ :

$$r'_{э1} = r_{э1} + \frac{r_{б1} + R_{r1}}{\beta_{01}};$$

$$r'_{э2} = r_{э2} + \frac{r_{б2} + R_{r2}}{\beta_{02}};$$

$$\beta_{01} = \frac{\alpha_1}{1 - \alpha_1}; \quad \beta_{02} = \frac{\alpha_2}{1 - \alpha_2}.$$

Составив уравнения Кирхгофа для модели рис. 67,в

$$U_1 = I_1(r_{э1} + R_1) + I_2 R_1;$$

$$U_2 = I_1 R_1 + I_2(r_{э2} + R_1),$$

определим значения токов  $I_1$  и  $I_2$ :

$$I_1 = \frac{U_1(r_{э2} + R_1) - U_2 R_1}{R_1(r_{э1} + r_{э2}) + r_{э1}r_{э2}};$$

$$I_2 = \frac{U_2(r_{э1} + R_1) - U_1 R_1}{R_1(r_{э1} + r_{э2}) + r_{э1}r_{э2}}.$$

Приняв во внимание, что  $U_{вых} = I_2 R_2 = K_1 U_1 - K_2 U_2$ , находим:

$$K_1 = \frac{R_1 R_2}{R_1(r'_{э1} + r_{э2}) + r'_{э1}r_{э2}};$$

$$K_2 = K_1 \left( 1 + \frac{r'_{э1}}{R_1} \right).$$

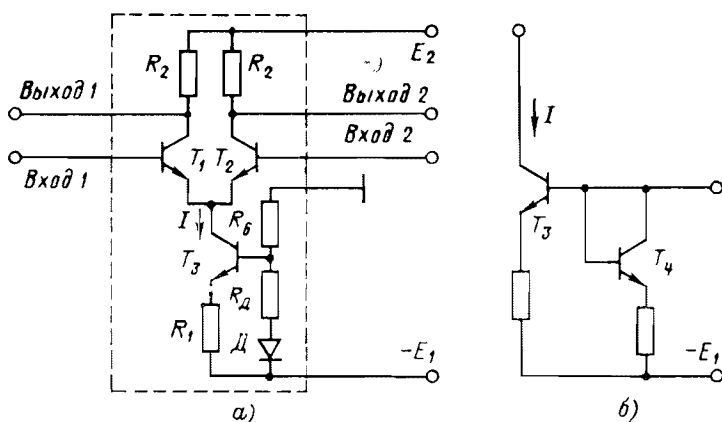


Рис. 68. Питание дифференциального каскада от генератора стабильного тока на транзисторе  $T_3$  (а) и цепь компенсации температурной нестабильности тока этого транзистора (б).

Таким образом, получим:

$$K_1 + K_2 = 2K_0 = K_1 \left( 2 + \frac{r'_{э1}}{R_1} \right);$$

$$|K_1 - K_2| = 2\Delta K = K_1 \frac{r'_{э1}}{R_1};$$

$$\pi_0 = \frac{K_0}{\Delta K} = \frac{1 + (r'_{э1}/2R_1)}{r'_{э1}/2R_1} = 1 + 2R_1/r'_{э1} \approx 2R_1/r'_{э1}.$$

Из этой формулы видно, что радикальным способом повышения коэффициента ослабления синфазного сигнала является увеличение  $R_1$ . С этой целью вместо резистора  $R_1$  выгодно использовать выходную цепь транзисторного усилителя — источника стабильного тока (рис. 68,а). Входная цепь этого источника содержит транзистор в диодном включении  $T_4$ , идентичный с  $T_3$  (рис. 68,б).

Для расчета  $\pi_0$  в такой схеме следует  $R_1$  заменить на выходное сопротивление каскада  $T_3$ , включенного с общей базой, т. е. на сопротивление  $r_k$  транзистора  $T_3$ .

**Пример.** Определить коэффициент ослабления синфазного сигнала при следующих данных:  $r_k=2$  МОм,  $I_0=1$  мА,  $R_T=900$  Ом,  $\beta_0=100$ ,  $r_6=100$  Ом.

**Решение.** Имеем

$$r_3 = \frac{25}{T_3} \approx 25 \text{ Ом}; \quad r'_{э3} = 25 + \frac{1000}{100} = 35 \text{ Ом};$$

$$\pi_0 = \frac{4 \cdot 10^6}{35} = 1,14 \cdot 10^6; \quad \pi \text{ [дБ]} = 20(6 + \log 1,14) = 121 \text{ дБ}.$$

В современных ОУ источники стабильного тока могут включаться и в цепи нагрузки ДК. Например, на рис. 62 показана схема сложного ДК на взаимодополняющих транзисторных парах  $T_1$ ,  $T_3$  и  $T_2$ ,  $T_4$  с источниками стабильных токов на основе транзисторов  $T_5$  и  $T_6$  и стабилизаторами тока  $T_9-T_{12}$ .

## ИДЕАЛЬНЫЙ АНАЛОГОВЫЙ КОМПАРАТОР — ОСНОВА СХЕМ ИМПУЛЬСНОЙ ТЕХНИКИ

**Идеальный компаратор.** Основная функция идеального компаратора — сравнение измеряемого (входного) и опорного аналоговых сигналов и представление результата сравнения в виде одного из **возможных** двоичных уровней выходного сигнала. Чаще всего сравнению подвергаются сигналы, заданные в виде уровней напряжений, поэтому интегральные компараторы, как правило, являются компараторами напряжения.

**Универсальный триггер Шмитта.** На рис. 69,а идеальный компаратор включен для выполнения функций сравнения уровней, т. е. в качестве пороговой схемы — аналога триггера Шмитта. Принцип работы этой схемы поясняется на рис. 69,в. При  $u_{вх}(t) > U_{x2}$  напряжение на выходе компаратора фиксируется на уровне  $U_{01}$ . При уменьшении значения  $u_{вх}(t)$  уровень  $U_{01}$  сохраняется до  $u_{вх}(t) = U_{x1}$ , причем  $U_{x1} < U_{x2}$ . Достигнув значения  $U_{x1}$ , входное напряжение  $u_{вх}(t)$  вызовет срабатывание пороговой схемы.

Для того чтобы найти зависимость порогов срабатывания  $U_{x1}$  и  $U_{x2}$  от номиналов резисторов  $R_1$ — $R_3$ , рассмотрим эквивалентную схему на рис. 69,б; согласно этой схеме запишем:

$$\frac{E_2 - U_x}{R_2} + \frac{E_1 - U_x}{R_1} + \frac{U_0 - U_x}{R_3} = 0,$$

откуда

$$U_x = \frac{(E_2/R_2) + (E_1/R_1) + (U_0/R_3)}{(1/R_1) + (1/R_2) + (1/R_3)}.$$

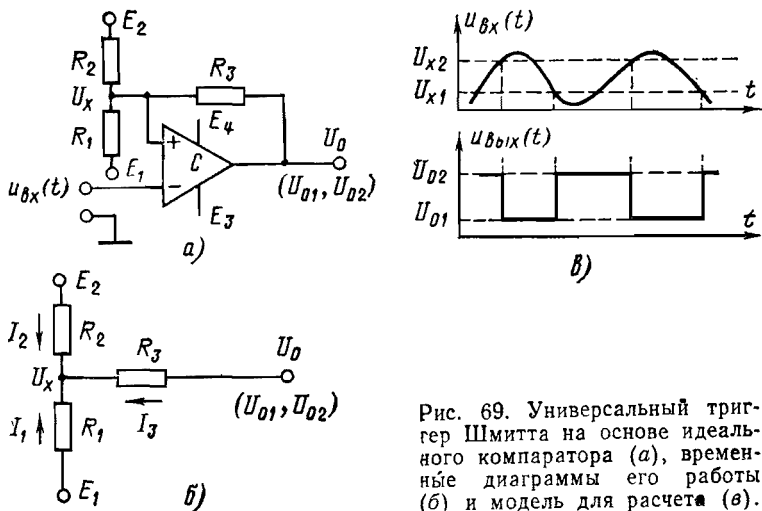


Рис. 69. Универсальный триггер Шмитта на основе идеального компаратора (а), временные диаграммы его работы (б) и модель для расчета (в).

Поскольку напряжение  $U_0$  принимает два значения  $U_{01}$  и  $U_{02}$ , им соответствуют пороги  $U_{x1}$  и  $U_{x2}$ :

$$U_{x1} = \frac{(E_2/R_2) + (E_1/R_1)}{(1/R_1) + (1/R_2) + (1/R_3)} + \frac{(U_{01}/R_3)}{(1/R_1) + (1/R_2) + (1/R_3)} = U_{x0} + \Delta x_1;$$

$$U_{x2} = \frac{(E_2/R_2) + (E_1/R_1)}{(1/R_1) + (1/R_2) + (1/R_3)} + \frac{(U_{02}/R_3)}{(1/R_1) + (1/R_2) + (1/R_3)} = U_{x0} + \Delta x_2.$$

Величина  $U_{x0} = \frac{(E_2/R_2) + (E_1/R_1)}{(1/R_1) + (1/R_2) + (1/R_3)}$  является средним уровнем срабатывания.

Значение  $|U_{x2} - U_{x1}| = |\Delta x_2 - \Delta x_1| = \Delta x$  представляет ширину петли гистерезиса для пороговой схемы.



**Пример.** Пусть  $R_1=10$  кОм,  $R_2=5,15$  кОм,  $R_3=34$  кОм,  $E_1=0$ ,  $E_2=5$  В.

Компаратор имеет  $U_{01}=-11$  В,  $U_{02}=+11$  В\*.

Получаем:  $U_{x0}=3,0$  В,  $U_{x1}=4,0$  В,  $U_{x2}=2,0$  В.

Ширина петли гистерезиса  $\Delta x=2$  В.

Формулы для расчета  $R_2$  и  $R_3$  по значениям  $U_{01}$ ,  $U_{02}$ ,  $U_{x1}$  и  $U_{x2}$  имеют вид [17]:

$$R_2 = \frac{(U_{x1} - E_2)(U_{02} - U_{x2}) - (U_{x2} - E_2)(U_{01} - U_{x1})}{(U_{x2} - E_1)(U_{02} - U_{x1}) - (U_{x1} - E_1)(U_{02} - U_{x2})};$$

$$R_3 = \frac{R_2(U_{02} - U_{x1})}{R_2(U_{x2} - E_1) + (U_{x2} - E_2)}.$$

**Ждущий мультивибратор.** Применение простейшего компаратора в схемах одностабильного (ждущего) мультивибратора иллюстрируется на рис. 70. При подаче отрицательного импульса  $U_{вх}$  на

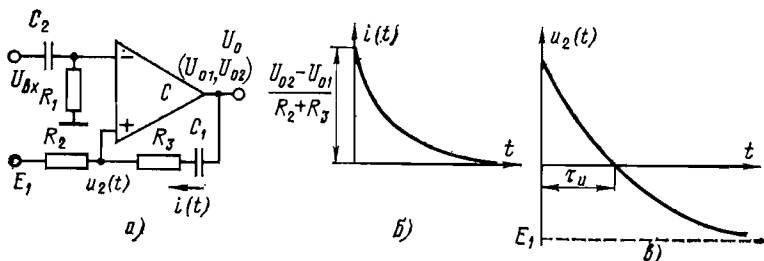


Рис. 70. Ждущий мультивибратор на основе идеального компаратора (а), временные диаграммы тока в цепи ОС (б) и напряжения (в) на неинвертирующем входе.

инвертирующий вход компаратора схема формирует положительный импульс на выходе, причем уровень напряжения переключения равен внешнему опорному пороговому напряжению  $E_1$  и фиксируется с точностью  $\pm 10$  мВ в диапазоне входных напряжений  $\pm 5$  В.

При  $E_1 < 0$  схема формирует положительный импульс при отрицательном запускающем сигнале  $U_{вх}$ , при  $E_1 > 0$  — отрицательный выходной импульс при положительном запускающем сигнале  $U_{вх}$ .

Обозначим, как и ранее, напряжение на выходе компаратора через  $U_0$ :  $U_{02}$  — наибольшее,  $U_{01}$  — наименьшее значение  $U_0$ . Ток через конденсатор  $C_1$

$$i(t) = C_1 (du_{C1}/dt),$$

где  $u_{C1}$  — напряжение на конденсаторе  $C_1$ .

Пусть в состоянии покоя  $U_0 = U_{01}$ , что соответствует  $U_{C1} = U'_{C1} = U_{01} - E_1$ . При  $t=0$  на инвертирующий вход компаратора поступает отрицательный импульс  $u_{вх}$ . Напряжение на выходе компаратора станет равным  $U_0 = U_{02}$ . Напряжение на конденсаторе при этом должно изменяться от значения  $U'_{C1}$  до  $U''_{C1} = U_{02} - E_1$ .

\* Такой компаратор можно построить на основе ОУ типа 153УД2 с показателями, соответствующими табл. 29 [18]

Ток  $i(t)$  будет изменяться по закону

$$i(t) = [(U''_{C1} - U'_{C1}) / (R_2 - R_3)] e^{-t/\tau} = \\ = [(U_{02} - U_{01}) / (R_2 - R_3)] e^{-t/\tau},$$

где  $\tau = (R_2 + R_3) C_1$ .

Напряжение на неинвертирующем входе компаратора  $u_2(t) = E_1 + i(t)R_2$  будет изменяться от  $E_1 + (U_{02} - U_{01})R_2 / (R_2 + R_3)$  до  $E_1$  (рис. 70,б):

$$u_2(t) = E_1 + [(U_{02} - U_{01}) / (1 + R_3/R_2)] e^{-t/\tau}.$$

Поскольку на инвертирующем входе сигнала нет, переключение компаратора будет иметь место при  $t = \tau_{\text{н}}$ , когда значение  $u_2(t)$  будет равно нулю (см. рис. 70,б), т. е.

$$-E_1 = [(U_{02} - U_{01}) / (1 + R_3/R_2)] e^{-\tau_{\text{н}}/\tau}.$$

Логарифмируя это выражение, найдем длительность импульса, вырабатываемого ждущим мультивибратором:

$$\tau_{\text{н}} = \tau \ln [(U_{02} - U_{01}) / (-E_1)] [1 / (1 + R_3/R_2)].$$

Полученная формула, базирующаяся на представлении об идеальном компараторе, хорошо подтверждается на практике.

**Пример.** Пусть для схемы на рис. 70  $R_2 = 1$  кОм,  $R_3 = 9$  кОм,  $C_1 = 510$  пФ, уровни компаратора  $U_{01} = 0$ ,  $U_{02} = 3$  В. Найдем величину  $\tau_{\text{н}}$ :

$$\tau = (R_2 + R_3) C = 5,1 \text{ мкс};$$

$$\tau_{\text{н}} = 5,1 \ln 3 = 5,6 \text{ мкс}.$$

Приведенные примеры иллюстрируют общий подход к анализу схем импульсной техники, базирующийся на представлении о компараторе как идеальном устройстве сравнения.

## РЕАЛЬНЫЙ КОМПАРАТОР И ЕГО ПАРАМЕТРЫ

Аппаратурное использование компараторных схем связано с необходимостью работать при уровнях входных сигналов, насыщающих транзисторы компаратора по одному из входов. Мерой качества компаратора может также служить способность схемы к быстрому восстановлению первоначального состояния при подаче на соответствующий вход сигнала, выводящего транзисторы входных и выходных цепей из насыщения.

В табл. 31 приведены параметры простейшего компаратора (рис. 71,а) [18], выпускаемого в виде ИС типа 521СА1.

Уровни выходных напряжений интегрального компаратора соответствуют диапазонам уровней логических сигналов 0 и 1, используемых в сериях современных цифровых ИС.

В более совершенных ИС компараторов, например в ИС типа 521СА3 (рис. 71,б), значения входных токов уменьшены более чем на два порядка и расширен допустимый диапазон входных дифференциальных и синфазных сигналов. Выходные сигналы компаратора совместимы с уровнями цифровых ИС. Диапазон питающих напряжений расширен до  $\pm 20$  В, точностные характеристики улучшены благодаря большому коэффициенту усиления и введению специальных клемм внешней балансировки нуля.

Параметры	Значение параметров		
	минимальные	типовые	максимальные
Напряжение смещения нуля $U^r_0$ , мВ, при $t_0 = 25^\circ\text{C}$	—	1,0	5
Входной ток $I_{\text{вх}} = (I_1 + I_2)/2$ , мкА, при $t_0 = 25^\circ\text{C}$ $t = 60^\circ\text{C}$	—	25	75
	—	—	150
Разность входных токов $I'_0 = I_1 - I_2$ , мкА, при $U_{\text{вых}} = 1,4$ В; $t_0 = 25^\circ\text{C}$ ; $U_{\text{вых}} = 1$ В; $t = 125^\circ\text{C}$ ; $U_{\text{вых}} = 1,8$ В; $t = -60^\circ\text{C}$	—	3	10
	—	—	20
	—	—	20
Коэффициент усиления $K'_U$ при $t_0 = 25^\circ\text{C}$ ; $t = 60 \div 125^\circ\text{C}$	750	1200	—
	500	—	—
Напряжение логической 1 при $t_0 = 25^\circ\text{C}$ , $I = 5$ мА, $U'_{\text{вх. мин}}$ , В	2,5	—	4,0
Напряжение логического 0 при $-60 \div +125^\circ\text{C}$ , $U^0_{\text{вх. макс.}}$ , В	—1	—	0
Выходной ток, мА, логического 0 при $U_{\text{вых}} = 0$ , $t_0 = 25^\circ\text{C}$	1,6	2,0	—
Время задержки включения, (выключения), $\tau$ , нс при $25^\circ\text{C}$	—	60	—
Предельно допустимое дифференциальное входное напряжение $\pm U_{\text{вх. д. макс.}}$ , В	—5	—	5
Предельно допустимый диапазон синфазных входных напряжений $\pm U_{\text{вх. с. макс.}}$ , В	—4	—	5

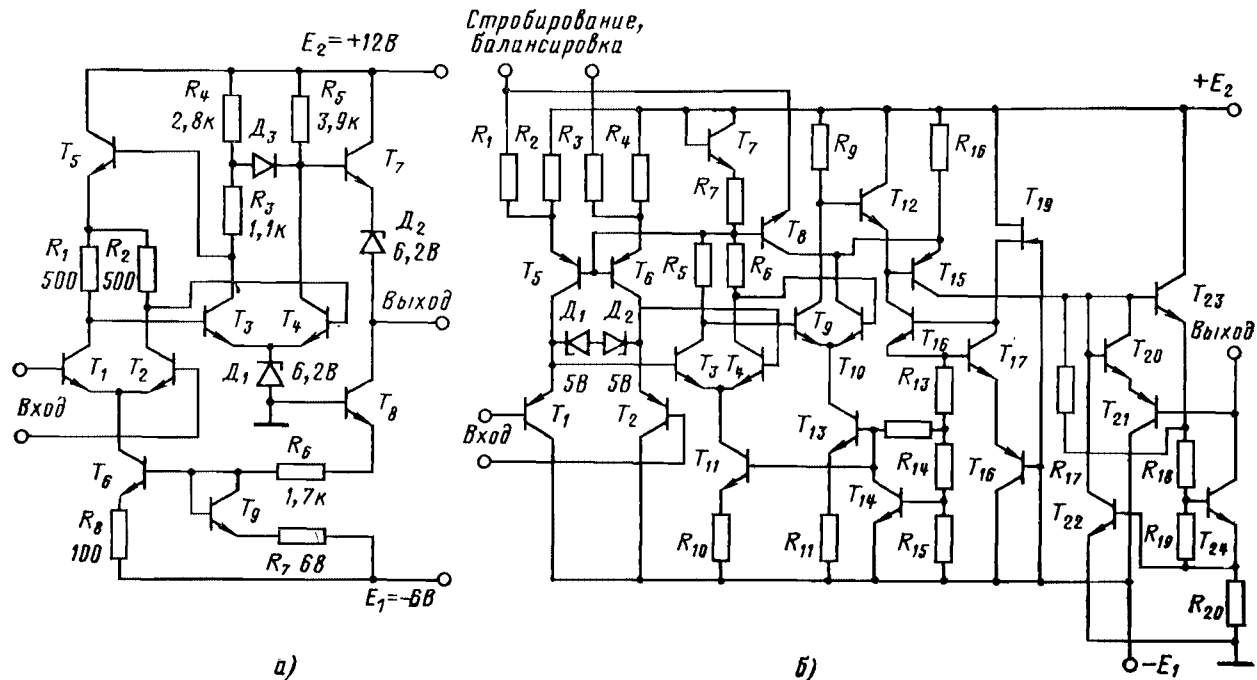


Рис. 71. Схемы компараторов типов 521CA1 (а) и 521CA3 (б).

## ВЗАИМНОЕ ПРЕОБРАЗОВАНИЕ ЦИФРОВЫХ И АНАЛОГОВЫХ ВЕЛИЧИН

Рассмотрим БИС цифро-аналогового преобразователя (ЦАП). Один из распространенных схемотехнических вариантов 10-разрядного монолитного ЦАП показан на рис. 72,а. ЦАП состоит из резистивной матрицы, содержащей резисторы сопротивлением 10 и 20 кОм (такая матрица имеет структуру  $R-2R$ ), и токовых ключей  $K_1-K_{10}$ , выполненных на КМДП транзисторах.

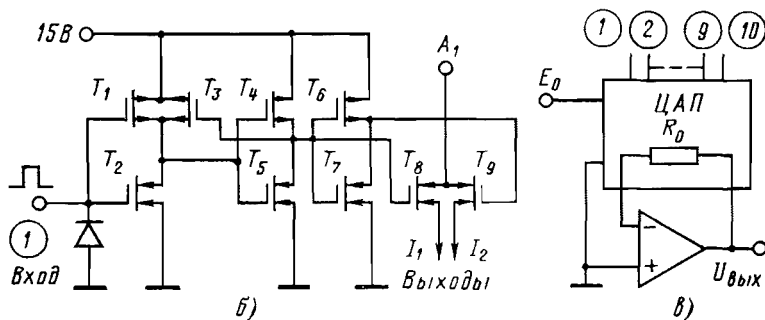
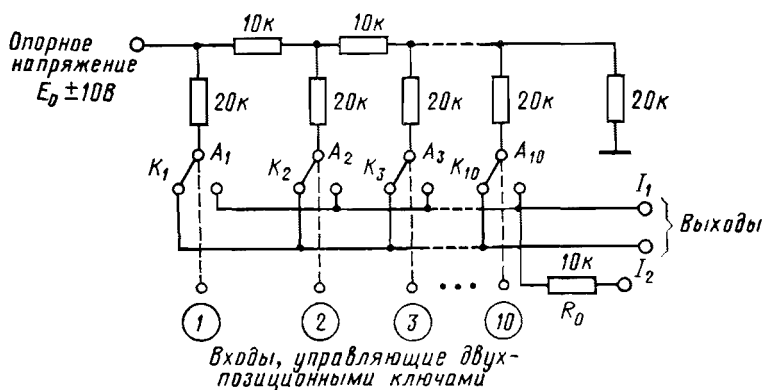


Рис. 72. Схемы БИС аналого-цифрового преобразователя: резистивная матрица с управлением (а); аналоговый ключ на МДП-транзисторах (б); включение ЦАП с внешним ОУ (в).

Один из таких ключей ( $K_1$ ) показан на рис. 72,б. На входы ключей могут поступать сигналы от схем ТТЛ, ДТЛ, КМДПТЛ.

МДП-транзисторы  $T_1$  и  $T_2$  (рис. 72,б) переключаются при потенциале на входе 1,4 В. Они управляют двумя инверторами, выполненными на МДП-транзисторах  $T_4, T_5$  и  $T_6, T_7$ , которые в свою очередь управляют токовыми ключами (МДП-транзисторы  $T_8, T_9$ ).

С помощью положительной обратной связи, выполненной на транзисторе  $T_3$ , время переключения уменьшено до 0,5—1 мкс и получена величина гистерезиса для входного сигнала примерно 0,2 В.

Резистивная цепь  $R-2R$  изготовлена из тонкопленочных резисторов. Температурный коэффициент резисторов составляет  $150 \times 10^{-6}/^\circ\text{C}$ , а разброс не превышает  $1 \cdot 10^{-6}/^\circ\text{C}$ .

Т а б л и ц а 32

Параметры	Значения параметров
Число разрядов	8—10
Дифференциальная нелинейность	$\pm 0,2$ для 8-разрядного ЦАП $\pm 0,1$ для 9-разрядного ЦАП $\pm 0,05$ для 10-разрядного ЦАП
Время установления выходного тока	1,5 мкс
Опорное напряжение	$\pm 10$ В
Входное сопротивление для источника опорного напряжения	10 кОм
Напряжение источника питания	5—15 В
Параметры входных сигналов: логическая единица логический ноль	2,4 В 0,8 В
Входной ток (при переходе от низкого уровня к высокому)	$\leq 1$ мкА
Суммарная мощность рассеивания	20 мВт

Параметры монолитного ЦАП приведены в табл. 32. ЦАП имеет внутреннее сопротивление обратной связи  $R_0$  (рис. 72,а) для обеспечения точного выходного напряжения при использовании внешнего операционного усилителя (рис. 72,а).

Наиболее распространенным структурным вариантом аналого-цифрового преобразователя (АЦП) является схема с поразрядным взвешиванием (рис. 73). Эта операция осуществляется с помощью компаратора.

В цепь обратной связи такого АЦП включен ЦАП, который служит для декодирования цифрового слова в выходной аналоговый

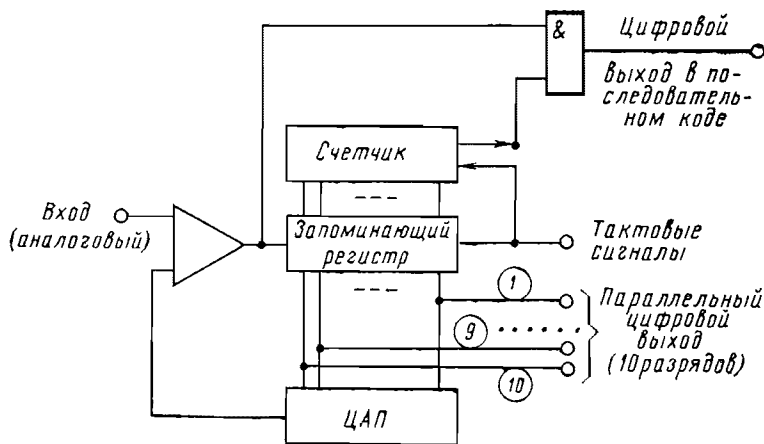


Рис. 73. Аналого-цифровой преобразователь на основе ЦАП.

сигнал. На рис. 73 приведена структура АЦП поразрядного взвешивания, которая имеет разрешение 10 разрядов. Параллельный выходной код в этой схеме снимается со входов ЦАП, которые в данном случае играют роль выходов схемы АЦП. С помощью счетчика и триггера цифровой сигнал может выводиться из АЦП последовательным кодом после подачи стартового сигнала.

## УСИЛИТЕЛЬ РАДИОЧАСТОТ — ОСНОВА ТРАКТОВ РАДИОПРИЕМНИКОВ

Распространенный схмотехнический вариант усилительной ИС радиочастотного диапазона изображен на рис. 74. Гибридные ИС, построенные по такой конфигурации, являются основой для построения трактов радиоприемников в диапазоне 0,5—800 МГц. На рис. 75,а показан способ включения широкополосной ИС в схему резонансного усилителя (с подключением внешних колебательных контуров). Такие же ИС могут быть использованы в схемах смесителя (рис. 75,б) и кварцевого гетеродина (рис. 75,в).

**Высокочастотные subsystemы.** На основе усилителей, подобных показанному на рис. 74, могут быть выполнены сложные аналоговые схемы радиоприемных устройств, выполненных по супергетеродинной схеме с применением однотипных ИС усилителей (рис. 76).

Для простоты на рисунке показана схема с однократным преобразованием частоты. Частоты  $f_c$  (сигнал),  $f_r$  (гетеродин) и  $f_n$  (промежуточная частота) связаны выражением

$$f_n = |mf_c + nf_r|,$$

где  $m$  и  $n$  — целые числа.

Выбор значений  $f_c$ ,  $f_r$ ,  $f_n$  зависит от условий решаемой задачи и соответствует частотному диапазону трех фильтров: высокой, про-

Рис. 74. Схема многоцелевого широкополосного усилителя радиочастот.

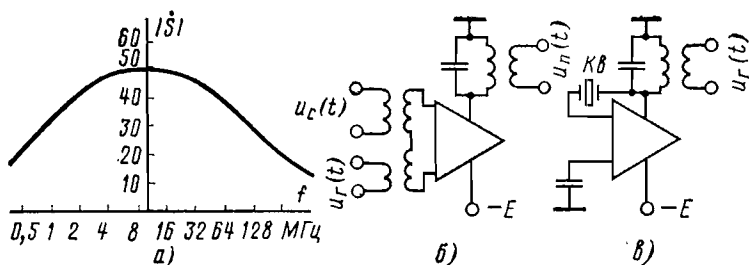
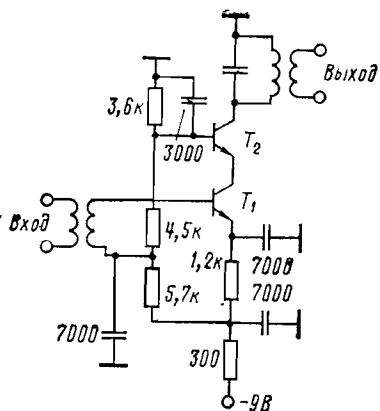


Рис. 75. Частотная характеристика широкополосного усилителя радиочастот (а) и способы его включения в схемах смесителя (б) и кварцевого автогенератора (в).

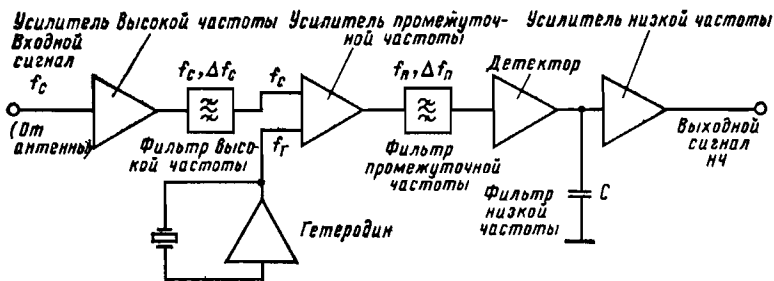


Рис. 76. Супергетеродинное радиоприемное устройство на основе однотипных многоцелевых широкополосных ИС.



межуточной и низкой частот, показанных на схеме рис. 76. Усилители выполнены на основе однотипной многоцелевой ИС и не содержат элементов селекции частот  $f_c$ ,  $f_r$ ,  $f_n$ . Таким образом, на основе многоцелевого усилителя можно построить множество различных вариантов приемников, в том числе супергетеродинных с многократным преобразованием частоты, приемников прямого усиления и других устройств.

## ФУНКЦИОНАЛЬНЫЕ ИЗДЕЛИЯ И СХЕМЫ

Примером функционального изделия, применяемого при построении МЭА, может служить оптрон (рис. 77, а, б), который обеспечивает передачу сигнала между двумя цепями при полной гальванической изоляции цепей. Оптрон состоит из оптоэлектронной пары: фотоизлучателя и фотоприемника. Спектральные характеристики таких пар, как фотоизлучатели на основе прямосмещенного арсенид-галлиевого диода и кремниевые фотоприемники (диоды, рис. 77, а, и транзисторы, рис. 77, б), хорошо согласуются между собой.

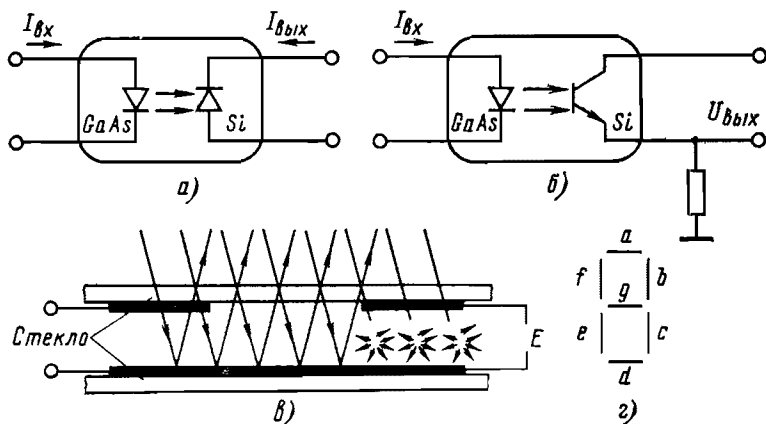


Рис. 77. Оптоэлектронные изделия.

а — оптрон с кремниевым фотодиодом; б — оптрон с кремниевым фототранзистором; в — иллюстрация принципа работы жидкокристаллического индикатора; г — элемент дисплея — семисегментный индикатор.

Оптоны применяются для передачи сигналов в сложных системах, т. е. в тех случаях, когда требуется свести к минимуму взаимовлияние блоков аппаратуры. В маломощных цепях оптоны в ряде случаев могут использоваться вместо механических реле. Оптоны могут включаться на входах операционных усилителей и компараторов.

Применяемые в оптронах фотоизлучатели и фотоприемники сами по себе также являются функциональными компонентами, основанными на взаимном преобразовании сигнала из электрической формы в оптическую и наоборот. Фотоизлучатели часто используются в качестве микродисплеев — элементов преобразования инфор-

мации из электрической формы в оптическую: в электронных часах или микрокалькуляторах, выполняемых на больших ИС. *Технологическая (элементная) интеграция* фотонизлучателей осуществляется благодаря их изготовлению групповым способом.

Примером функционального изделия, интегрирующего компоненты преобразования электрического сигнала в видимую форму, могут служить *индикаторы на жидких кристаллах*. От светодиодов жидкокристаллические индикаторы отличаются в 1000 раз меньшим потреблением мощности. На рис. 77,в представлен фрагмент жидкокристаллического дисплея, работающего в отраженном свете. Слой

Таблица 33

<i>N</i>	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>
0	1	1	1	1	1	1	0
1	0	1	1	0	0	0	0
2	1	1	1	0	1	0	1
3	1	1	1	1	0	0	1
4	0	1	1	0	0	1	1
5	1	0	1	1	0	1	1
6	0	0	1	1	1	1	1
7	1	1	1	0	0	0	0
8	1	1	1	1	1	1	1
9	1	1	1	0	0	1	1

диэлектрика, являющегося жидким кристаллом, заполняет пространство между двумя прозрачными стеклянными пластинами. На внутреннюю поверхность стеклянных пластин напылены электроды. Верхние электроды в отраженном свете прозрачны, нижний — зеркально отражающий, сплошной. Верхние (прозрачные) электроды выполняются в форме семисегментного индикатора (рис. 77,г).

При отсутствии внешнего сигнала (электрического поля) длинные оси кристаллов жидкокристаллического вещества ориентированы параллельно друг другу. При приложении электрического поля (более 2 кВ/см) расположение осей кристалла теряет регулярность. Кристалл становится непрозрачным, рассеивает видимый свет (рис. 77,б). Толщина жидкокристаллических слоев делается обычно менее 10—50 мкм, что позволяет использовать для управления прозрачностью элементов микродисплея такие же напряжения, как и для питания цифровым ИС.

Присвоив элементам семисегментной фигуры буквенные обозначения и определив, какие из сегментов должны светиться для индикации десятичных цифр, получим таблицу соответствия для управления индикатором (табл. 33). Используя эту таблицу, нетрудно спроектировать дешифратор, управляющий подачей соответствующих логических уровней на сегменты микродисплея при поступлении на входы двоичных цифр. Поскольку число семисегментных фигур, расположенных на индикаторе микрокалькулятора, может быть 8—10 или более, степень интеграции рассмотренного микродисплея составляет 56—70 и более.

Современные матрицы фотоприемников могут содержать тысячи элементов и также представляют пример технологической интеграции функциональных элементов.

Остановимся на еще одной разновидности функциональных компонентов — приборах с зарядовой связью (ПЗС).

Эти приборы, имеющие структуру металл — диэлектрик — полупроводник, представляют собой цепочку металлических электродов, отделенных от поверхности полупроводника тонким слоем диэлектрика (рис. 78). При подаче на электрод отрицательного напряжения под ним образуется слой, обедненный основными носителями заря-

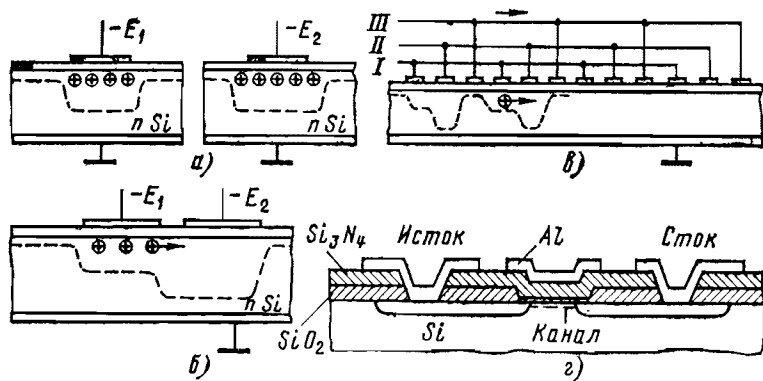


Рис. 78. Приборы с зарядовой связью и со структурой металл — нитрид — окисел — полупроводник (МНОП).

*a* — два отдельных элемента ПЗС; *б* — два связанных элемента ПЗС; *в* — ПЗС с трехфазной организацией сдвига; *г* — структура МНОП.

да. Этот слой (на рис. 78,*a* он отмечен пунктирным контуром) является потенциальной «ямой» для неосновных носителей, скапливающихся у поверхности, прилегающей к соответствующему электроду, и образующих в этом месте *инверсионный* слой, в котором тип проводимости изменяется на противоположный.

Если расстояние между электродами достаточно велико, каждый из электродов функционирует независимо, сохраняя свой заряд неосновных носителей (рис. 78,*a*).

В равновесном состоянии заполнение «ям» носителями зарядов определяется тепловой генерацией пар электрон — дырка. Для принудительного внесения заряда в определенную «яму» необходима инжекция, которую можно реализовать, разместив рядом с электродом прямосмещенный электронно-дырочный переход или подвергнув соответствующий участок полупроводника облучению светом. Проектируя на пластину с ПЗС оптическое изображение, мы можем создать его «зарядовый» эквивалент.

При размещении электродов на достаточно близком расстоянии (4 мкм и менее) их поля перекрываются (рис. 78,*б*). Если напряжения, поданные на соседние электроды, различаются, т. е.  $|-E_2| > |-E_1|$ , то возникает электрическое поле и вызывается дрейф неосновных носителей из более мелкой потенциальной «ямы» в более

глубокую. Таким образом заряд перетечет из левого кармана в правый (рис. 78,б).

Для перемещения накопленных зарядов (развертки) электроды соединяют в три группы (рис. 78,в). Последовательная подача напряжения на шины I, II, III обеспечивает перемещение зарядов слева направо, в направлении, показанном стрелкой (на рис. 78,в).

Таким образом, с помощью ПЗС можно реализовать *твердотельные преобразователи изображения* или длинные регистры памяти со сдвигом информации. Перспективность ПЗС в последнем случае обуславливается тем, что запоминающий элемент на основе ПЗС занимает на кристалле площадь, в несколько раз меньшую площади такого же элемента на биполярных или МОП-транзисторах.

Еще одним примером *физической интеграции*, используемой в микросхемотехнике БИС, может являться накопление (запоминание) поверхностного заряда на границе раздела двухслойных диэлектрических слоев, например, структуры металл—нитрид—оксид—полупроводник (МНОП) (рис. 78,г). Этот физический эффект позволяет реализовать сохранение информации при отключении питающего напряжения в течение длительного срока (например, нескольких месяцев или лет). БИС со структурой МНОП является функциональными изделиями, объединяющими преимущества элементной и физической интеграции.

Функциональными БИС являются также *динамические полупроводниковые ЗУ*, использующие эффект промежуточного хранения информации на емкостях затвор — исток МДП-транзисторов. Наконец, функциональными изделиями следует признать *пьезоэлектронные генераторы и фильтры*, выполненные на поверхности активной подложки, обладающей пьезоэффектом (например, кварца). В таких ИС физически колеблется (резонирует) не вся пластина, а лишь ее участок. Это позволяет составлять ИС с многорезонаторными системами, размещаая на свободных участках поверхности активной подложки напыленные компоненты и бескорпусные транзисторы.

Пьезоэлектронные функциональные ИС относятся к категории изделий *акустоэлектроники*, отличающихся преобразованиями электрических колебаний в механические и обратно.

Важный класс функциональных БИС составляют магнитные *домённые* запоминающие и логические устройства. Эти БИС выполняются в пластинах (или пленке) магнитообразных кристаллов, т. е. материалов с одной осью легкого намагничивания: ортоферриты, ферритгранаты, бариевые ферриты и др.

*Домёны цилиндрической формы*, т. е. объемы с обратно направленной осью легкого намагничивания, возникают при приложении постоянного магнитного поля  $H=40\div 100$  Э с вектором намагниченности, перпендикулярным плоскости пластины (рис. 79,а, б). Направление вектора намагниченности в пределах пластины параллельно направлению внешнего поля намагничивания всюду, кроме области внутри домена, где направление намагниченности антипараллельно полю.

Таким образом, цилиндрический магнитный домен (ЦМД) похож на заряженную частицу и может рассматриваться как носитель информации. Сигналы, соответствующие двоичным единице и нулю, определяются присутствием или отсутствием ЦМД в тех или иных точках информационной среды (кристалла). Ввод и стирание информации производятся созданием (генерированием) или уничтожением (аннигиляцией) ЦМД.

Для контролируемого перемещения доменов в плоскости кристалла и их фиксации в определенных положениях кристалл-подложку помещают во вращающееся магнитное поле и на него наносят аппликации, т. е. узоры из проводников или ферромагнитных материалов (рис. 79, а). С помощью аппликаций создаются необхо-

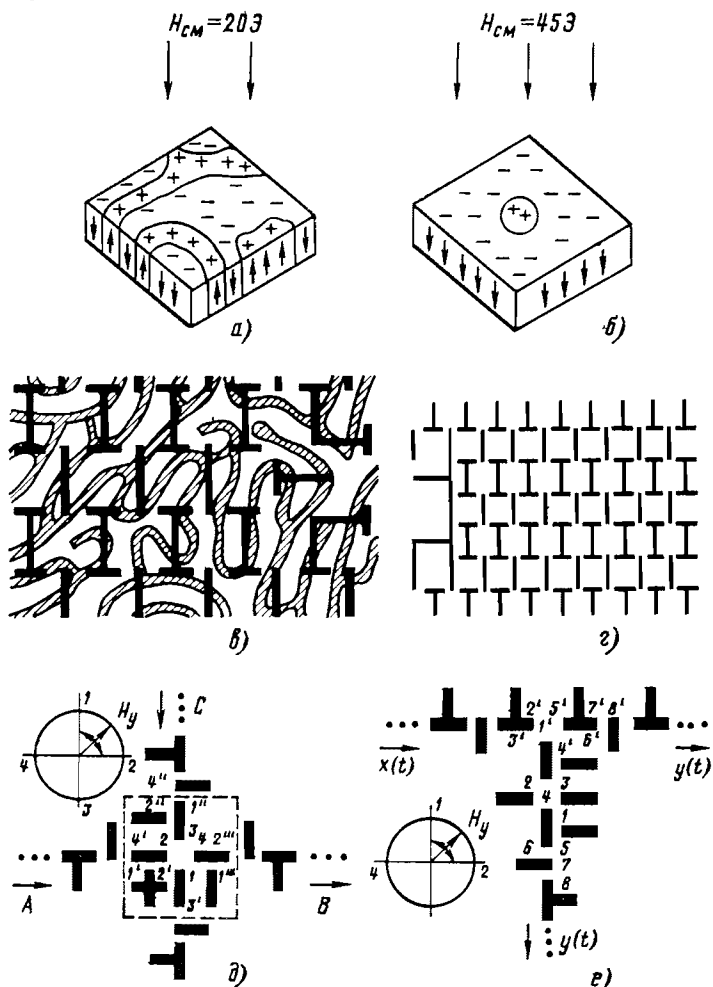


Рис. 79. Функциональные изделия на основе цилиндрических магнитных доменов.

а — образование цилиндрических магнитных доменов при  $H = 20 \text{ Э}$ ; б — ЦМД то же при  $H = 45 \text{ Э}$ ; в, г — аппликации, наносимые на поверхность ферромагнитной подложки и возможность визуального наблюдения лабиринтной доменной структуры (в) и ЦМД (г); д, е — топология пермалловых аппликаций, реализующих операцию конъюнкции двух переменных (д) и функцию двух-разрядного счетчика (е).

димые для перемещения доменов локальные градиенты магнитного поля, а также магнитоэлектрические ловушки, т. е. локальные зоны пониженной напряженности.

Важным свойством ЦМД является их взаимное (дипольное) отталкивание, позволяющее осуществлять операции булевой алгебры (рис. 79, *д*, *е*). Регистрацию отсутствия или наличия ЦМД в любой точке кристалла можно осуществлять с помощью микроэлектронных средств — пленочных индукционных датчиков, датчиков Холла или визуально. Возможность визуального наблюдения ЦМД (рис. 79, *в*, *г*) базируется на магнитооптических явлениях поворота плоскости поляризации (эффект Фарадея) и изменениях интенсивности отраженного от намагниченного ферромагнетика линейно-поляризованного света (эффект Керра).

Функциональные БИС на основе ЦМД перспективны как *внешняя память* портативных вычислительных машин нового поколения. Такая память не содержит элементов точной механики, требующихся в настоящее время при создании специальных магнитофонов и может неограниченно долго сохранять информацию при отключении напряжения питания.

Таким образом, охарактеризованные выше функциональные компоненты и схемы дополняют технику ИС и БИС. Интеграция функциональных элементов и технологическая совместимость с основными процессами микроэлектронной технологии — решающие условия, обеспечивающие прогресс этих средств микросхемотехники.

## ЗАКЛЮЧЕНИЕ. МИКРОСХЕМОТЕХНИКА НА ЭТАПЕ БИС

Использование бурно растущего арсенала средств микроэлектроники — основа современного этапа развития всех отраслей электронного приборостроения. Техника БИС как сфера технической и научной деятельности охватывает полный цикл реализации современных электронных систем. Ее целью является создание электронной аппаратуры на техническом уровне, обеспечивающем *интеграцию и унификацию системных функций, технологических процессов, элементов.*

Для выполнения этой цели мобилизуются технологические и «архитектурные» средства микроэлектроники.

Главным *технологическим* средством является переход к высокопроизводительным приемам создания аппаратуры — групповым методам производства, проектирования и контроля. «*Архитектурным*» средством микроэлектроники является резкое снижение «цены» элементов, что открывает широкие возможности введения элементной избыточности для улучшения характеристик электронной аппаратуры, для реализации все более сложных систем за счет интеграции их функций, для автоматизации электронных комплексов, повышения их живучести и автономности.

Внедрение БИС приводит к более тесной взаимосвязи между архитектурой системы и созданием элементных средств для их реализации. Примером такой взаимосвязи может служить развитие интегральной микропроцессорной техники, изменяющей подход к проектированию и применению вычислительных средств, к организации их безотказной работы в составе управляющих комплексов, к отладке и испытаниям приборов аппаратуры.

Появление цифровых и аналоговых БИС открыло путь к созданию *систем нового поколения*, не реализуемых иными методами, таких как информационные, связные, транспортные автоматизированные системы, системы управления разработками и производством, торгового обслуживания, наконец, системы проектирования, контроля и изготовления самого электронного оборудования. Реализация новых аппаратурных возможностей, открываемых переходом к БИС, является основным фактором на современном этапе развития микросхемотехники. Успехи в этой области — могучий ускоритель технического прогресса, роста эффективности многочисленных отраслей народного хозяйства, связанных со средствами электроники.

## СПИСОК ЛИТЕРАТУРЫ

1. Алексенко А. Г. Основы микросхемотехники. — 2-е изд. — М.: Советское радио, 1977.
2. Ефимов И. Е., Козырь И. Я. Основы микроэлектроники. — М.: Связь, 1975.
3. Ефимов И. Е., Горбунов Ю. И., Козырь И. Я. Микроэлектроника. — М.: Высшая школа, 1977.
4. Справочник по полупроводниковым диодам, транзисторам и интегральным схемам. — 4-е изд. Под ред. Н. Н. Горюнова. — М.: Энергия, 1977.
5. Федотов Я. А. Инженер электронной техники. — М.: Советское радио, 1976.
6. Наумов Ю. Е. Интегральные логические схемы. — М.: Советское радио, 1970.
7. Шагурин И. И. Транзисторно-транзисторные логические схемы. М.: Советское радио, 1974.
8. Аваев Н. А., Дулин В. Н., Наумов Ю. Е. Большие интегральные схемы с инжекционным питанием. — М.: Советское радио, 1977.
9. Интегральные схемы на МДП-приборах: Пер. с англ./ Под ред. А. Н. Кармазинского. — М.: Мир, 1975.
10. Проектирование микроэлектронных цифровых устройств. Под ред. С. А. Майорова. — М.: Советское радио, 1977.
11. Будинский Я. Логические цепи в цифровой технике: Пер. с чешск. — М.: Связь, 1977.
12. Букреев И. Н., Мансуров Б. М., Горячев В. И. Микроэлектронные схемы цифровых устройств. — 2-е изд. — М.: Советское радио, 1975.
13. Гребен А. Проектирование аналоговых интегральных схем: Пер. с англ./ Под ред. Е. Х. Караерова. — М.: Энергия, 1976.
14. Шило В. Л. Линейные интегральные схемы в радиоэлектронной аппаратуре. — М.: Советское радио, 1974.
15. Марше Ж. Операционные усилители и их применение. Пер. с франц. — М.: Энергия, 1974.
16. Зайцев В. А., Зеленко И. Э., Ковальчук Б. Я., Смирнов Ю. Ф. Операционный усилитель 153УД2. — Электронная промышленность, 1977, вып. 2 (56), с. 72—74.
17. Шеррод. Использование компаратора в качестве универсального триггера Шмитта. — Электроника, 1976, т. 49, № 4, с. 64—65.
18. Акментынш Я. Я., Вартинь В. Р., Матавкин В. В., Шенниш А. Э. Компаратор напряжения 521СА2. — Электронная промышленность, 1975, вып. 10 (46), с. 50—52.
19. Ротнов С. В., Торопов А. Д., Федоров Ю. Т., Шагурин И. И., Янов А. Р. Маломощные ТТЛ микросхемы для построения процессорных систем. — Электронная промышленность, 1977, вып. 2 (56), с. 75—79.
20. Валиев К. А., Казеннов Г. Г., Кремлев В. Я., Стороженко Г. И. Классификация и перспективы применения функционально-интегрированных элементов при разработке БИС. — В кн.: Микроэлектроника и полупроводниковые приборы. — М.: Советское радио, 1976, с. 6—19.
21. Алексенко А. Г., Коломбет Е. А. Принципы частотной коррекции современных интегральных операционных усилителей. — Радиотехника, 1977, т. 32, № 9, с. 56—65.



## СОДЕРЖАНИЕ

Предисловие . . . . .	3
Что такое микросхемотехника? . . . . .	5
Усложнение функций — понижение надежности? . . . . .	6
Планарная технология и элементы ИС . . . . .	7
Серии и семейства серий ИС . . . . .	15
Технологическая сложность и степень интеграции . . . . .	16
Функциональные и функционально-интегрированные изделия микроэлектроники . . . . .	17
Какие функции выполняют ИС? . . . . .	17
Высказывания, силлогизмы — от схоластики к алгебре логики . . . . .	18
Логические операции и цифровые ИС . . . . .	21
Основные параметры логических элементов . . . . .	26
Методы логического проектирования цифровых устройств . . . . .	26
Примеры логического проектирования комбинационных устройств . . . . .	32
Последовательностные цифровые цепи и методы их логиче- ского проектирования . . . . .	38
Логическое проектирование триггерных схем . . . . .	41
Логическое проектирование последовательностных цифровых цепей . . . . .	46
Операционные автоматы интегральных микропроцессоров . . . . .	55
Большие интегральные схемы микропроцессорного поколения . . . . .	60
БИС полупроводниковых запоминающих устройств . . . . .	62
Микросхемотехника аналоговых устройств — унификация, точ- ность, дешевизна аппаратуры . . . . .	68
Интегральный операционный усилитель с глубокой отрица- тельной обратной связью . . . . .	68
Управление частотными свойствами аналоговых схем . . . . .	71
Включения операционного усилителя . . . . .	77
Реальный операционный усилитель и его параметры . . . . .	77
Идеальный аналоговый компаратор — основа схем импульсной техники . . . . .	94
Реальный компаратор и его параметры . . . . .	97
Взаимное преобразование цифровых и аналоговых величин . . . . .	100
Усилитель радиочастот — основа трактов радиоприемников . . . . .	102
Функциональные изделия и схемы . . . . .	104
Заключение. Микросхемотехника на этапе БИС . . . . .	109
Список литературы . . . . .	111

50 к.

